

TFW



Patent

Customer No. 31561
Application No.: 10/710,671
Docket No. 13085-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Hung et al.
Application No. : 10/710,671
Filed : Jul 28, 2004
For : NON-VOLATILE MEMORY STRUCTURE AND
MANUFACTURING METHOD THEREOF
Examiner : N/A
Art Unit : 2818

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93109185,
filed on: 2004/4/2.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Dec. 1, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

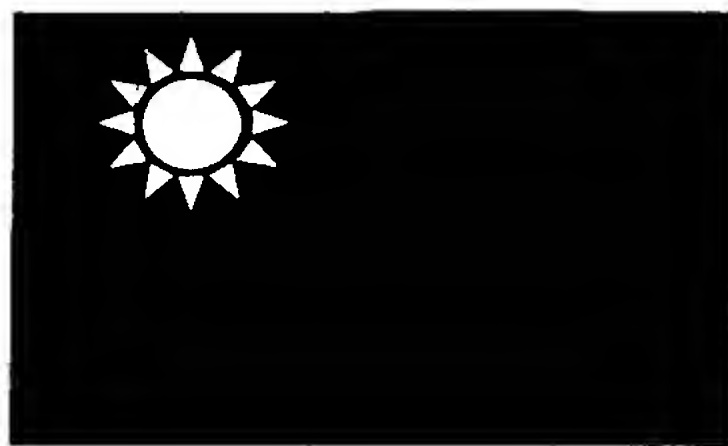
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereund

申請日：西元 2004 年 04 月 02 日
Application Date

申請案號：093109185
Application No.

申請人：力晶半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 8 月
Issue Date

發文字號：09320728310
Serial No.

CERTIFIED COPY OF
PRIORITY DOCUMENT

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|----------------------|--|
| 一、 發明名稱 | 中 文 | 非揮發性記憶體結構及其製造方法 |
| | 英 文 | NON-VOLATILE MEMORY STRUCTURE AND MANUFACTURING METHOD THEREOF |
| 二、 發明人 (共2人) | 姓 名 (中文) | 1. 洪至偉 2. 許正源 |
| | 姓 名 (英文) | 1. HUNG, CHIH WEI 2. HSU, CHENG YUAN |
| | 國 籍 (中英文) | 1. 中華民國 TW 2. 中華民國 TW |
| | 住居所 (中文) | 1. 新竹市花園街106號7樓之3 2. 新竹市武陵路179巷2號6樓之3 |
| | 住居所 (英文) | 1. 7F-3, No. 106, St. Hwai-yuan, Hsin-chu City, Taiwan, R.O.C. 2. 6F-3, No. 2, Lane 179, Wu-lin Rd., Hsinchu City, Taiwan, R.O.C. |
| 三、 申請人 (共1人) | 名稱或 姓 名 (中文) | 1. 力晶半導體股份有限公司 |
| | 名稱或 姓 名 (英文) | 1. Powerchip Semiconductor Corp. |
| | 國 籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (營業所) (中文) | 1. 新竹科學工業園區力行一路12號 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英文) | 1. No. 12, Li-Hsin Rd. I, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C. |
| | 代表人 (中文) | 1. 黃崇仁 |
| | 代表人 (英文) | 1. HUANG, CHUNG JENG |



四、中文發明摘要 (發明名稱：非揮發性記憶體結構及其製造方法)

一種非揮發性記憶體結構，其是由基底、多數個閘極結構、多數個選擇閘極結構、間隙壁與源極區/汲極區所構成。其中，各個閘極結構由基底起至少是由底介電層、電荷陷入層、頂介電層、控制閘極與頂蓋層所構成。多數個選擇閘極結構分別設置於多數個閘極結構之一側，並使多數個閘極結構串聯在一起，形成記憶胞列，各個選擇閘極結構由基底起至少是由選擇閘極介電層與選擇閘極所構成。間隙壁設置於閘極結構與選擇閘極之間。源極區/汲極區分別設置於記憶胞列兩側的基底中。

伍、(一)、本案代表圖為：第__2B__圖

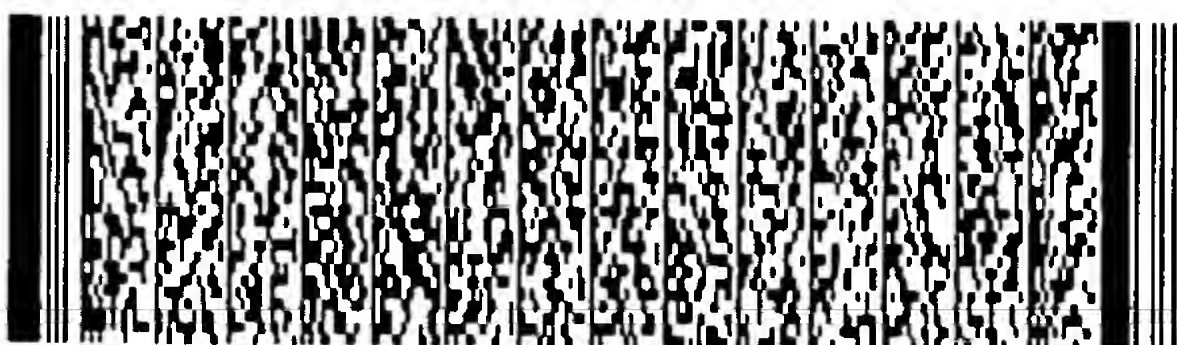
(二)、本案代表圖之元件代表符號簡單說明：

100：基底

106a~106d：多個閘極結構

六、英文發明摘要 (發明名稱：NON-VOLATILE MEMORY STRUCTURE AND MANUFACTURING METHOD THEREOF)

A non-volatile memory including a substrate, a plurality of gate structures, a plurality of select gate structures, spacers and source region/drain region is provided. Each of the gate structure formed on the substrate is consisted of a bottom dielectric layer, an electron trapping layer, an upper dielectric layer, a control gate and a cap layer. Each of the select gate

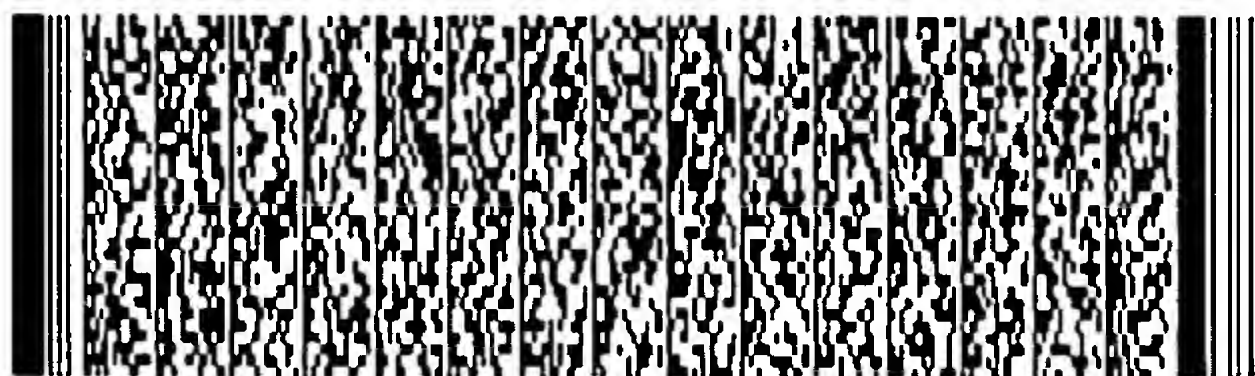


四、中文發明摘要 (發明名稱：非揮發性記憶體結構及其製造方法)

108 : 底介電層
110 : 電荷陷入層
112 : 頂介電層
114 : 控制閘極
116 : 頂蓋層
118 : 間隙壁
120a~120d : 選擇閘極結構
122 : 選擇閘極介電層
124 : 選擇閘極
130a~130d : 記憶胞結構
132 : 記憶胞列
126 : 汲極區
128 : 源極區

六、英文發明摘要 (發明名稱：NON-VOLATILE MEMORY STRUCTURE AND MANUFACTURING METHOD THEREOF)

structures formed on the one side of the each of the gate structures is consisted of a select gate dielectric layer and a select gate. The select gate structures and the gate structures are connected in series to form a memory cell column. The spacers are formed between the select gate structures and the gate structures. The source region/drain region is set in the substrate next



四、中文發明摘要 (發明名稱：非揮發性記憶體結構及其製造方法)

六、英文發明摘要 (發明名稱：NON-VOLATILE MEMORY STRUCTURE AND MANUFACTURING METHOD THEREOF)

to the memory cell column.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項 ☒ 權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

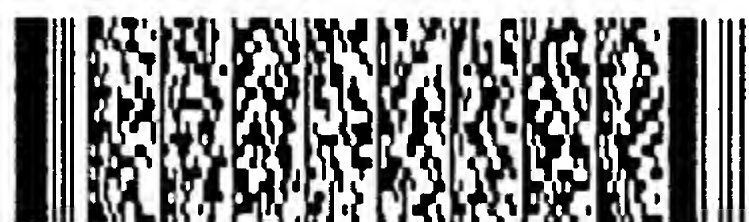
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種半導體元件，且特別是有關於一種非揮發性記憶體結構及其製造方法。

先前技術

在各種非揮發性記憶體產品中，具有可進行多次資料之存入、讀取、抹除等動作，且存入之資料在斷電後也不會消失之優點的可電抹除且可程式唯讀記憶體 (EEPROM)，已成為個人電腦和電子設備所廣泛採用的一種記憶體元件。

典型的可電抹除且可程式唯讀記憶體係以摻雜的多晶矽 (polysilicon) 製作浮置閘極 (floating gate) 與控制閘極 (control gate)。而且，為了避免典型的可電抹除且可程式唯讀記憶體在抹除時，因過度抹除現象太過嚴重，而導致資料之誤判的問題。而在控制閘極與浮置閘極側壁、基底上方另設一選擇閘極 (select gate)，而形成分離閘極 (Split-gate) 結構。

此外，在習知技術中，亦有採用一電荷陷入層 (charge trapping layer) 取代多晶矽浮置閘極，此電荷陷入層之材質例如是氮化矽。這種氮化矽電荷陷入層上下通常各有一層氧化矽，而形成氧化矽/氮化矽/氧化矽 (oxide-nitride-oxide，簡稱ONO) 複合層。圖1為繪示為美國專利US5930631號案所揭露一種具有分離閘極 (Split-gate) 結構的可電抹除且可程式唯讀記憶體。

請參照圖1，此記憶體包括基底1、場氧化層3、閘氧



五、發明說明 (2)

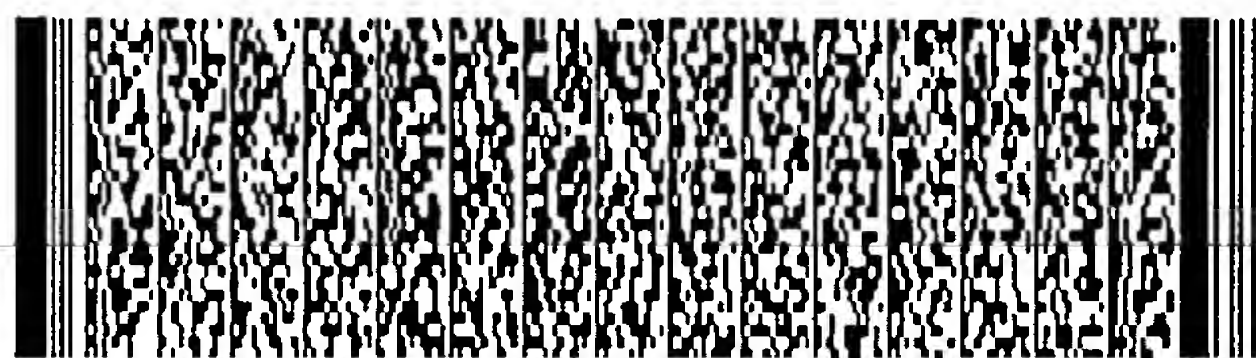
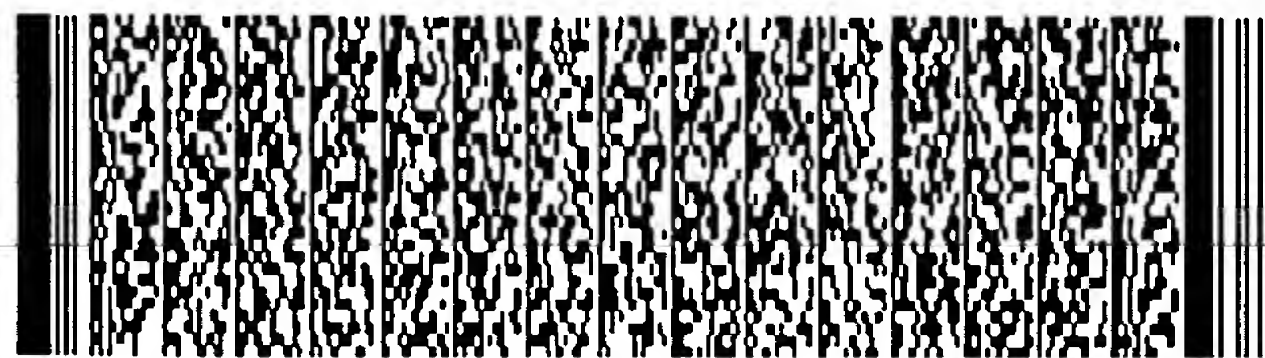
化層5、選擇閘極7、汲極區9、源極區11、氧化矽/氮化矽/氧化矽(ONO)複合層13及控制閘極15。場氧化層3上至於基底1上以隔離出主動區。選擇閘極7設置於基底1上。閘氧化層5設置於選擇閘極7與基底1之間。汲極區9與源極區11設置於選擇閘極7兩側的基底中。控制閘極15之一部份位於選擇閘極7上，另一部份與源極區11相鄰。氧化矽/氮化矽/氧化矽(ONO)複合層13設置於控制閘極15與選擇閘極7、控制閘極與基底1之間。

然而，由於分離閘極結構需要較大的分離閘極區域而具有較大的記憶胞尺寸，因此其記憶胞尺寸較具有堆疊閘極之可電抹除且可程式唯讀記憶體之記憶胞尺寸大，而產生所謂無法增加元件集積度之問題。

另一方面，由於反及閘(NAND)型陣列是使各記憶胞是串接在一起，其積集度會較反或閘(NOR)型陣列高。因此，將分離閘極快閃記憶胞陣列製作成反及閘(NAND)型陣列結構，可以使元件做的較密集。然而，反及閘(NAND)型陣列中之記憶胞寫入與讀取的程序較為複雜，且其由於在陣列中串接了很多記憶胞，因此會有記憶胞之讀取電流較小，而導致記憶胞之操作速度變慢、無法提升元件效能之問題。

發明內容

有鑑於此，本發明之一目的為提供一種非揮發性記憶體結構及其製造方法，可以簡單的製作出反及閘型陣列結構之非揮發性記憶體結構，此種非揮發性記憶體可



五、發明說明 (3)

以利用源極側注入效應(Source-Side Injection, SSI)進行程式化操作，而能夠提高程式化速度，並提高記憶體效能。

本發明提供一種非揮發性記憶體結構，非揮發性記憶體結構是由基底、多數個閘極結構、多數個選擇閘極結構、間隙壁與源極區/汲極區所構成。其中，各個閘極結構由基底起至少是由底介電層、電荷陷入層、頂介電層、控制閘極與頂蓋層所構成。多數個選擇閘極結構分別設置於多數個閘極結構之一側，並使多數個閘極結構串聯在一起，形成記憶胞列，各個選擇閘極結構由基底起至少是由選擇閘極介電層與選擇閘極所構成。間隙壁設置於閘極結構與選擇閘極之間。源極區/汲極區分別設置於記憶胞列兩側的基底中。

在上述之非揮發性記憶體結構中，選擇閘極可以填滿閘極結構之間的間隙。電荷陷入層之材質可為氮化矽。底介電層與頂介電層之材質可為氧化矽。

在上述非揮發性記憶體結構中，由一個閘極結構、間隙壁與一個選擇閘極結構可構成記憶胞，而多個記憶胞係串聯在一起。由於在記憶胞之間並沒有間隙，因此可以提升記憶胞陣列之積集度。

而且，由於使用電荷陷入層作為電荷儲存單元，因此不需要考慮閘極耦合率的概念，而使其操作所需之工作電壓將越低，而提升記憶胞的操作速度。

本發明又提供一種非揮發性記憶體結構，非揮發性



五、發明說明 (5)

成記憶胞列之步驟如下：首先，於基底上形成一層導體層，此導體層填滿閘極結構間之隙。然後，移除預定形成記憶胞列之區域以外之閘極結構與部分導體層。

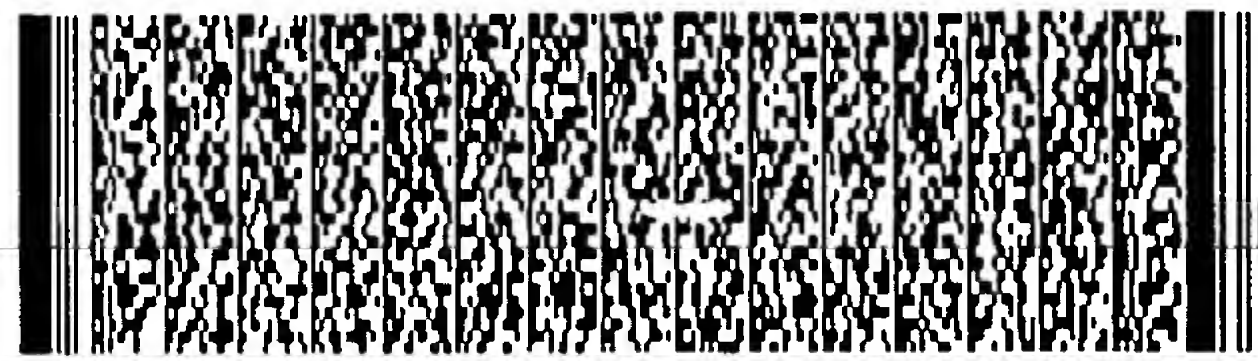
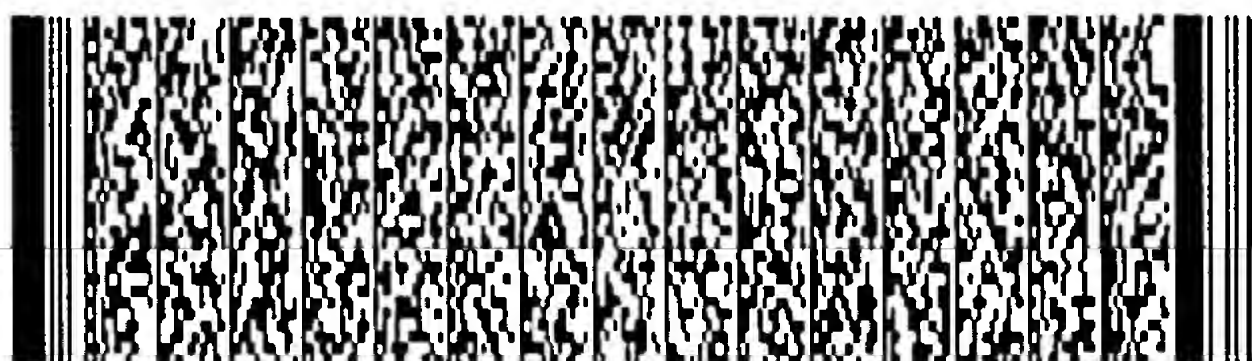
在上述之非揮發性記憶體之製造方法中，使用電荷陷入層作為電荷儲存單元，因此不需要考慮閘極耦合率的概念，而使其操作所需之工作電壓將越低，而提升記憶胞的操作速度。而且，本發明形成非揮發性記憶體之步驟與習知的製程相比較為簡單，因此可以減少製造成本。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

圖2A為繪示本發明之反及閘(NAND)型非揮發性記憶體結構之上視圖。圖2B為繪示圖2A中沿A-A'線之結構剖面圖。圖2C為繪示本發明之非揮發性記憶體之結構剖面圖。

請同時參照圖2A與圖2B，本發明之非揮發性記憶體結構至少是由基底100、元件隔離結構102、主動區104、多個閘極結構106a~106d(各個閘極結構106a~106d由基底100起依序為底介電層108、電荷陷入層110、頂介電層112、控制閘極114、頂蓋層116)、間隙壁118、多個選擇閘極結構120a~120d(各個選擇閘極結構120a~120d由基底100起依序為選擇閘極介電層122、選擇閘極124)、汲極



五、發明說明 (6)

區126、源極區128所構成。

基底100例如是矽基底，此基底100可為P型基底或N型基底。元件隔離結構102設置於基底100中，用以定義出主動區104。

多個閘極結構106a~106d設置於基底100上。底介電層108之材質例如是氧化矽，其厚度例如是20埃至30埃左右；電荷陷入層110之材質例如是氮化矽，其厚度例如是30埃至50埃左右；頂介電層112之材質例如是氧化矽，其厚度例如是20埃至40埃左右；控制閘極114之材質例如是摻雜多晶矽，其厚度例如是600埃至1000埃左右。頂蓋層116之材質例如是氧化矽，其厚度例如是1000埃至1500埃左右。

間隙壁118設置於閘極結構106a~106d之側壁上，其材質例如是氧化矽。

多個選擇閘極結構120a~120d分別設置於多個閘極結構106a~106d一側基底100上。其中，選擇閘極120a~120d分別與閘極結構106a~106d相連接，亦即選擇閘極120a~120d與堆疊閘極結構106a~106d是以交錯的方式連接在一起。選擇閘極介電層122之材質例如是氧化矽，其厚度例如是160埃~170埃左右。選擇閘極124之材質例如是摻雜多晶矽。

多個閘極結構106a~106d、間隙壁118與多個選擇閘極結構120a~120d跨過主動區104之處係分別構成記憶胞結構130a~130d。而且，在一個主動區104上的記憶胞結



五、發明說明 (7)

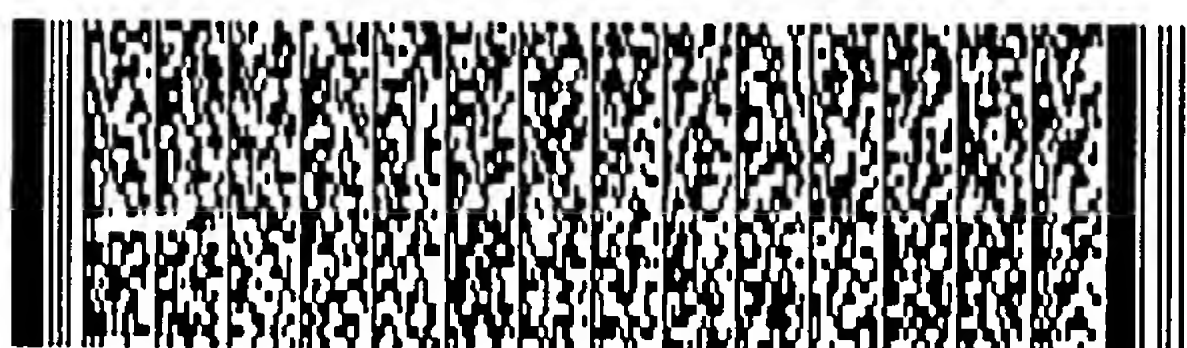
構130a~130d串聯而構成記憶胞列132。汲極區126設置●
記憶胞列132中之選擇閘極結構120a不與閘極結構106a相
鄰一側的基底100中。源極區128設置於記憶胞列132中之
閘極結構106d不與選擇閘極結構120d相鄰一側的基底100
中。亦即，汲極區126與源極區128則分別位於記憶胞列
132兩側之基底中。

在上述記憶胞列132結構中，主動區104上之多個閘
極結構106a~106d、間隙壁118與多個選擇閘極結構
120a~120d分別構成記憶胞結構130a~130d。由於在記憶
胞130a~130d之間並沒有間隙，因此可以提升記憶胞陣列
之積集度。

而且，由於使用電荷陷入層110作為電荷儲存單元，
因此不需要考慮閘極耦合率的概念，而使其操作所需之
工作電壓將越低，而提升記憶胞的操作速度。

在上述實施例中，係以使四個記憶胞結構130a~130d
串接在一起為實例做說明。當然，在本發明中串接的記
憶胞結構的數目，可以視實際需要而串接適當的數目，
舉例來說，同一條位元線可以串接32至64個記憶胞結
構。

此外，若只有一個記憶胞結構132，則其結構圖2C所
示，閘極結構106、間隙壁118、選擇閘極結構120構成記
憶胞結構。汲極區126設置於選擇閘極結構120一側的基
底100中。源極區128設置於閘極結構106一側的基底100
中。由於使用電荷陷入層110作為電荷儲存單元，因此不



五、發明說明 (8)

需要考慮閘極耦合率的概念，而使其操作所需之工作電壓將越低，而提升記憶胞的操作速度。

圖3所繪示為本發明之記憶胞列的電路簡圖，在圖3中係以四個記憶胞為例，以說明本發明之記憶胞列的操作模式。

請參照圖3，記憶胞列包括四個記憶胞 $Q_{n1} \sim Q_{n4}$ 、選擇閘極線 $SG1 \sim SG4$ 、控制閘極線 $CG1 \sim CG4$ 。記憶胞 $Q_{n1} \sim Q_{n4}$ 係串接在一起，選擇閘極線 $SG1 \sim SG4$ 分別連接記憶胞 $Q_{n1} \sim Q_{n4}$ 之選擇閘極，控制閘極線 $CG1 \sim CG4$ 分別連接記憶胞 $Q_{n1} \sim Q_{n4}$ 之控制閘極。

在程式化時，以記憶胞 Q_{n2} 為例做說明，源極施加5伏特左右之偏壓；選定之選擇閘極線 $SG2$ 施加1.5伏特左右之偏壓，非選定選擇閘極線 $SG1$ 、 $SG3$ 、 $SG4$ 維持施加8伏特左右之偏壓；選定之控制閘極線 $CG2$ 分別施加8伏特之偏壓、非選定之控制閘極線 $CG1$ 、 $CG3$ 、 $CG4$ 維持施加5~8伏特之偏壓；基底施加0伏特之電壓，而可以利用源極側(Source-Side Injection, SSI)效應使電子注入記憶胞之浮置閘極中，而使記憶胞 Q_{n2} 程式化。

在讀取時，源極施加0伏特左右之偏壓，選擇閘極線 $SG1 \sim SG4$ 分別施加3.3伏特左右之偏壓、控制閘極線 $CG1$ 、 $CG3$ 、 $CG4$ 分別施加8伏特左右之偏壓，控制閘極線 $CG2$ 分別施加3伏特左右之偏壓、汲極(位元線)為1.5伏特。由於此時電荷陷入層中總電荷量為負的記憶胞的通道關閉且電流很小，而電荷陷入層中上總電荷量略正的



五、發明說明 (9)

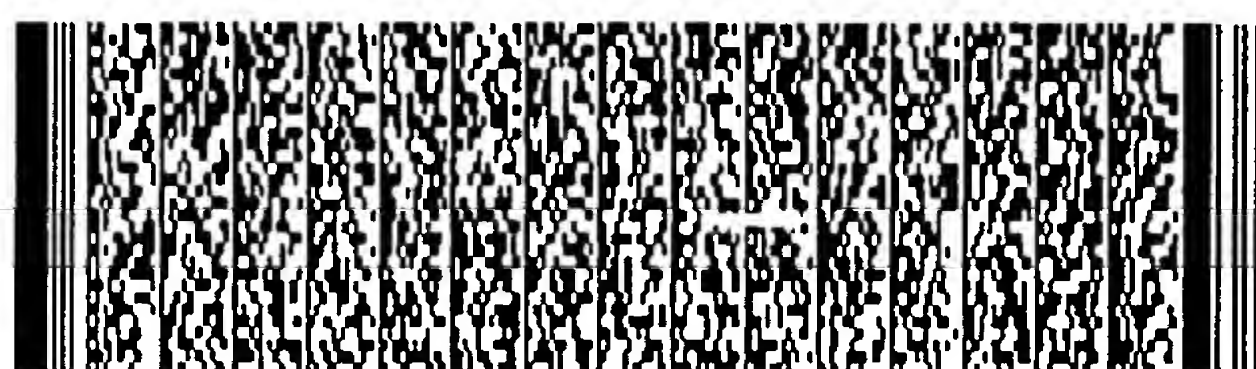
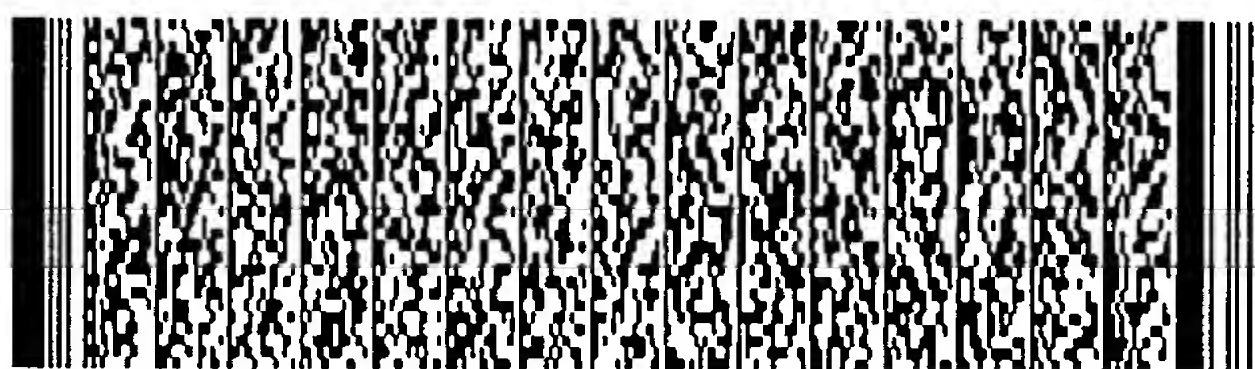
記憶胞的通道打開且電流大，故可藉由記憶胞之通道開關/通道電流大小來判斷儲存於此記憶胞中的數位資訊是「1」還是「0」。

在抹除時，源極、選擇閘極線SG1~SG4、控制閘極線CG1~CG4為-10伏特左右之偏壓；基底施加0伏特左右之偏壓，而可以利用通道F-N穿隧效應(Channel F-N Tunneling)使電子由記憶胞之電荷陷入層拉至基底中，而使記憶胞中之資料被抹除。

在本發明之記憶胞列之操作模式中，其係利用熱載子效應以單一記憶胞之單一位元為單位進行程式化，並利用通道F-N穿隧效應抹除整個列之記憶胞。因此，其電子注入效率較高，故可以降低操作時之記憶胞電流，並同時能提高操作速度。因此，電流消耗小，可有效降低整個晶片之功率損耗。

接著說明本發明之非揮發性記憶體結構之製造方法，圖4A至第圖4E為繪示圖2A中沿A-A'線之製造流程剖面圖。

首先，請參照圖4A，提供一基底200，基底200例如是矽基底，在此基底200中已形成有元件隔離結構(未圖示)。接著，在基底200上依序形成介電層202、電荷陷入材料層204、介電層206。介電層202之材質例如是氧化矽，其厚度例如是20埃至30埃左右，且介電層202之形成方法例如是熱氧化法。電荷陷入材料層204之材質例如是氮化矽，其厚度例如是30埃至50埃左右，電荷陷入材料



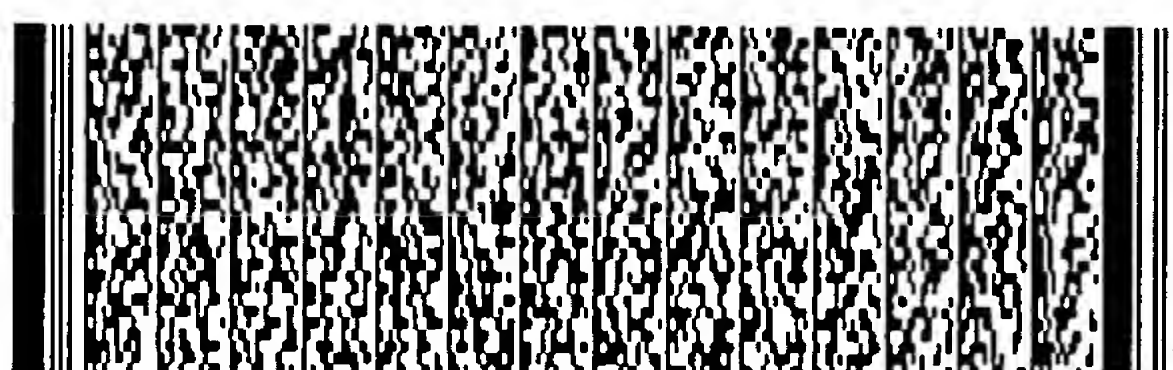
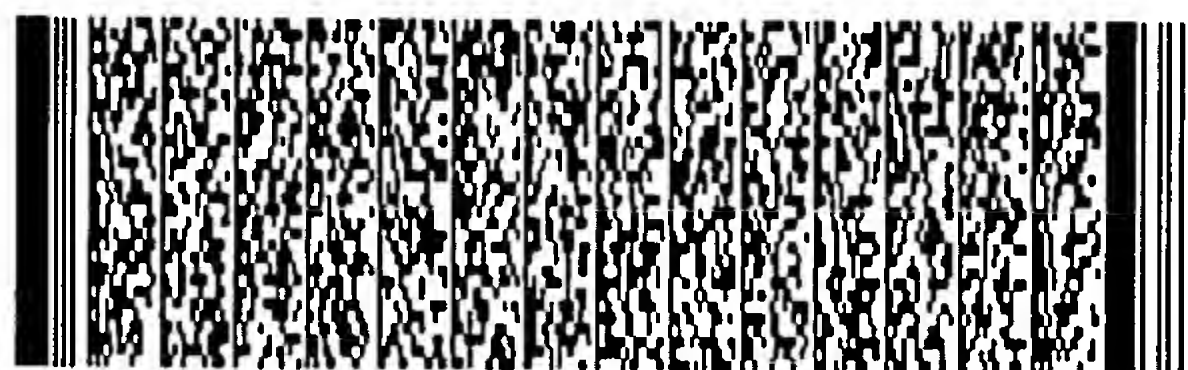
五、發明說明 (10)

層204之形成方法例如是化學氣相沈積法。介電層206之材質例如是氧化矽，其厚度例如是20埃至40埃左右，介電層206之形成方法例如是化學氣相沈積法。當然，介電層202及介電層206也可以是其他類似的材質。電荷陷入材料層204之材質並不限於氮化矽，也可以是其他能夠使電荷陷入於其中之材質，例如鉭氧化層、鈦酸鋁層與鉛氧化層等。

接著，請參照圖4B，於基底200上依序形成一層導體層208與一層頂蓋層210。導體層208之材質例如是摻雜的多晶矽，此導體層208之形成方法例如是利用化學氣相沈積法形成一層未摻雜多晶矽層後，進行離子植入步驟以形成之。頂蓋層210之材質例如是氧化矽，頂蓋層210之形成方法例如是以四-乙基-鄰-矽酸酯(Tetra Ethyl Ortho Silicate, TEOS)/臭氧(O_3)為反應氣體源，利用化學氣相沈積法而形成之。

然後，請參照圖4C，圖案化頂蓋層210、導體層208、介電層206、電荷陷入材料層204與介電層202以形成由頂蓋層210a、導體層208a、頂介電層206a、電荷陷入層204a與底介電層202a所構成之多個閘極結構212。其中，導體層208a係作為記憶胞之控制閘極。

然後，於各個閘極結構212之側壁形成間隙壁214。間隙壁214之形成方法例如是先形成一層絕緣材料層後，進行非等向性蝕刻製程，而只留下位於閘極結構212側壁的絕緣材料層。

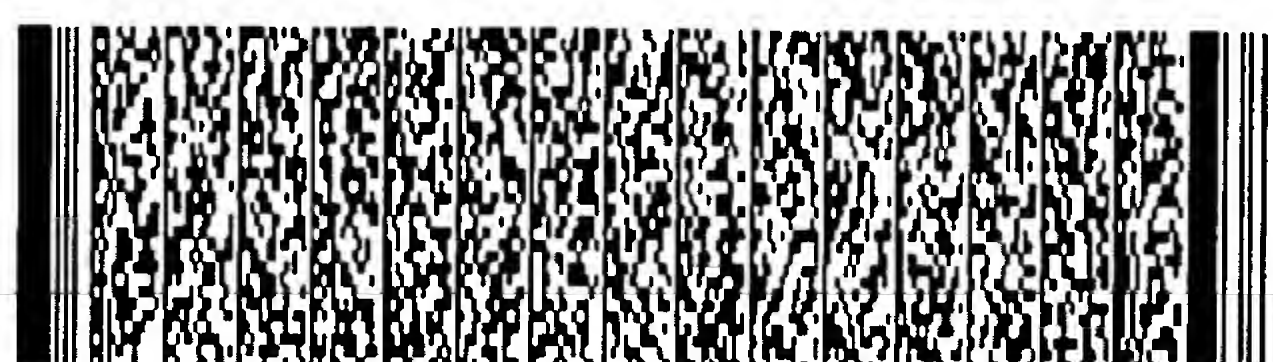
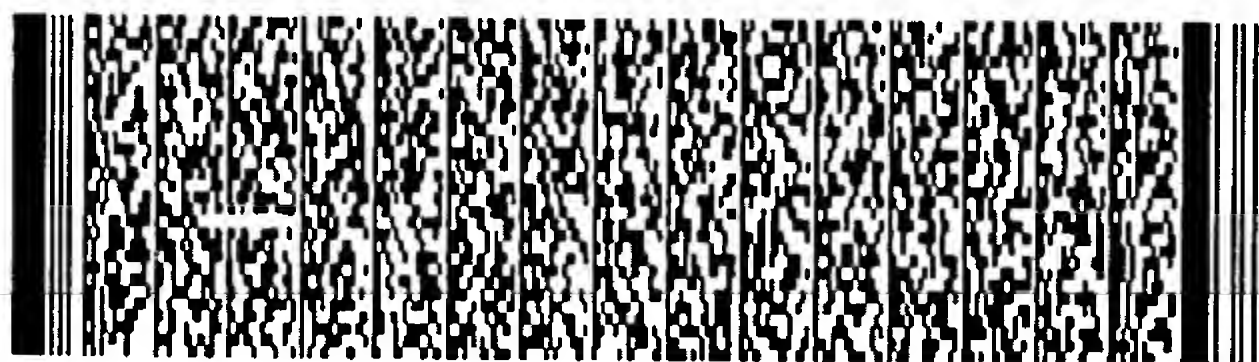


五、發明說明 (11)

接著，請參照圖4D，於基底200上形成選擇閘極介層216。選擇閘極介電層216之材質例如是氧化矽，其厚度例如是160埃~170埃左右。選擇閘極介電層216之形成方法例如是熱氧化法。然後，於各個閘極結構212的一側形成選擇閘極218。其中，選擇閘極218例如是填入兩相鄰閘極結構212之間隙，而使多個閘極結構212串聯起來。選擇閘極218之形成方法例如是先於基底200上形成一層導體層(未圖示)，此導體層填滿閘極結構212間的間隙。然後，移除部分導體層直到裸露出頂蓋層210a。接著，於基底200上形成一層罩幕層(未圖示)，此罩幕層覆蓋預定形成記憶胞列220之區域。然後，移除預定形成記憶胞列220區域以外之閘極結構212或部分導體層等。之後，再移除罩幕層。

接著，請參照圖4E，進行一離子植入步驟而於記憶胞列220兩側之基底200中形成源極區224與汲極區222。源極區224係位於記憶胞列220一側的閘極結構212側的基底200中。汲極區222係位於記憶胞列224之另一側的選擇閘極218一側的基底200中。之後，於基底200上形成內層介電層226，於此內層介電層226中形成與汲極區222電性連接的插塞230，並於內層介電層226上形成與插塞230電性連接的導線228(位元線)。後續完成記憶胞陣列之製程為熟悉此項技術者所週知，在此不再贅述。

在上述實施例中，使用電荷陷入層204作為電荷儲存單元，因此不需要考慮閘極耦合率的概念，而使其操作

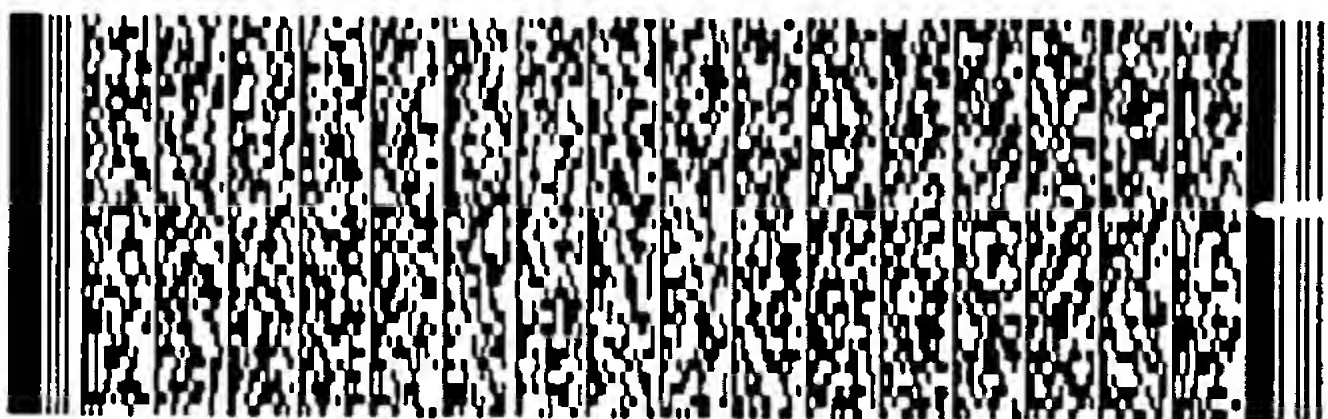


五、發明說明 (12)

所需之工作電壓將越低，而提升記憶胞的操作速度。而且，本發明形成非揮發性記憶胞之步驟與習知的製程相比較為簡單，因此可以減少製造成本。

另外，在上述實施例中，係以形成四個記憶胞結構為實例做說明。當然，使用本發明之記憶胞列之製造方法，可以視實際需要而形成適當的數目記憶胞，舉例來說，同一條位元線可以串接32至64個記憶胞結構。而且，本發明之非揮發性記憶體的製造方法，實際上是應用於形成整個記憶胞陣列。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1為繪示習知一種非揮發性記憶胞結構之剖面圖

圖2A為繪示本發明之反及閘(NAND)型非揮發性記憶體結構之上視圖。

圖2B為繪示本發明之反及閘(NAND)型非揮發性記憶體結構之剖面圖。

圖2C為繪示本發明之單一記憶胞結構之剖面圖。

圖3為繪示本發明之反及閘(NAND)型非揮發性記憶體結構的電路簡圖。

圖4A至圖4E為繪示本發明較佳實施例之反及閘(NAND)型非揮發性記憶體結構之製造剖面流程圖。

【圖式標示說明】

1、100、200：基底

3：場氧化層

5：閘氧化層

7：選擇閘極

9、126、222：汲極區

11、128、224：源極區

13：氧化矽/氮化矽/氧化矽(ONO)複合層

15：控制閘極

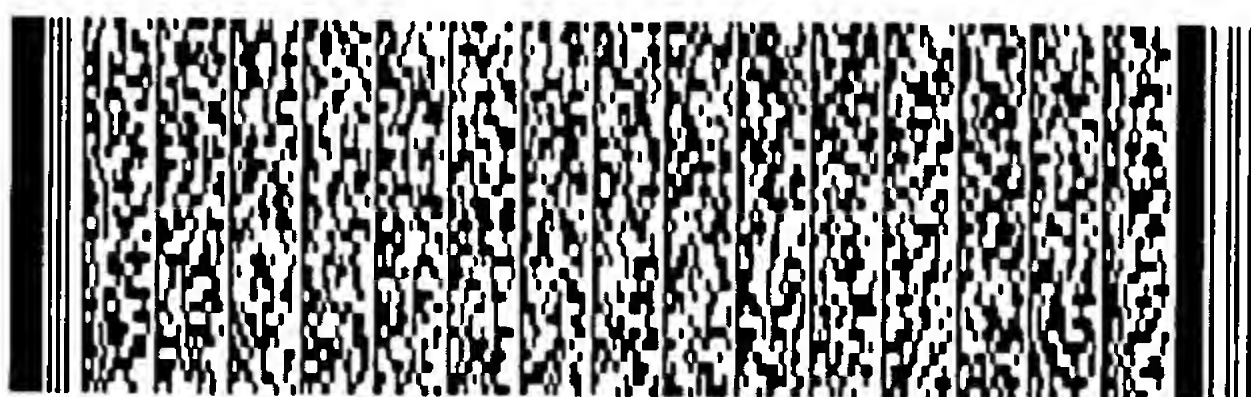
102：元件隔離結構

104：主動區

106、106a~106d：多個閘極結構

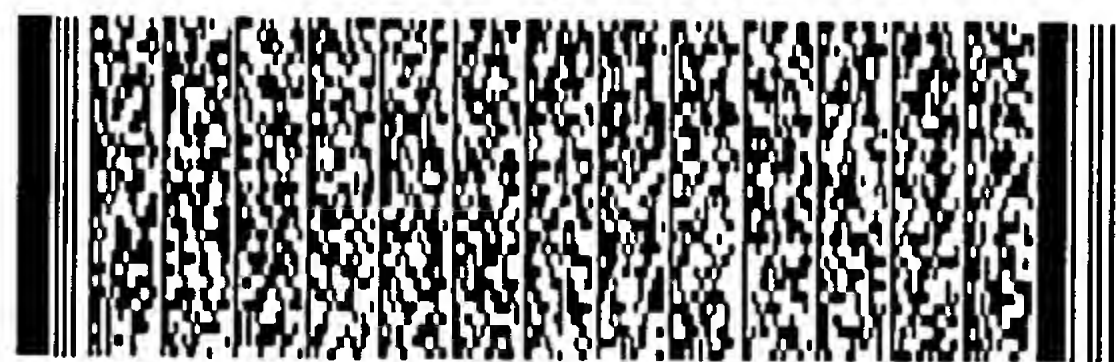
108、202a：底介電層

110、204a：電荷陷入層



圖式簡單說明

112、206a：頂介電層
114：控制閘極
116、210、210a：頂蓋層
118、214：間隙壁
120、120a~120d：選擇閘極結構
122、216：選擇閘極介電層
124、218：選擇閘極
130a~130d：記憶胞結構
132、220：記憶胞列
202、206：介電層
204：電荷陷入材料層
208、208a：導體層
212：閘極結構
226：內層介電層
228：導線
230：插塞
Qn1、Qn2、Qn3、Qn4：記憶胞
CG1、CG2、CG3、CG4：控制閘極線
SG1、SG2、SG3、SG4：選擇閘極線



六、申請專利範圍

1. 一種非揮發性記憶體結構，包括：

一基底，

多數個閘極結構，設置於該基底上，各該閘極結構由該基底起至少包括一底介電層、一電荷陷入層、一頂介電層、一控制閘極與一頂蓋層；

多數個選擇閘極結構，分別設置於各個該些閘極結構之一側，並使該些閘極結構串聯在一起，形成一記憶胞列，各該選擇閘極結構由該基底起至少包括一選擇閘極介電層與一選擇閘極；

一間隙壁，設置於該些閘極結構與該些選擇閘極之間；以及

一源極區/汲極區，分別設置於該記憶胞列兩側的該基底中。

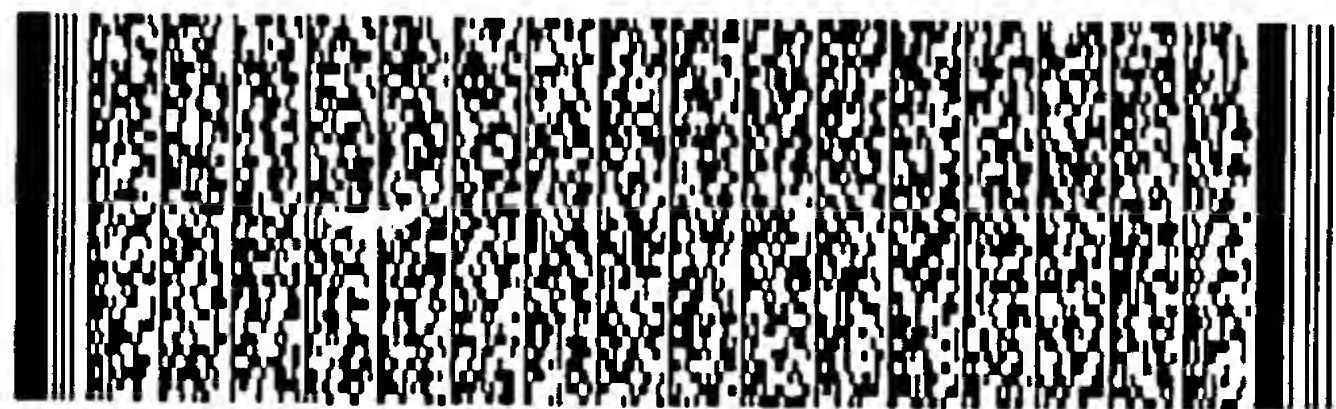
2. 如申請專利範圍第1項所述之非揮發性記憶體結構，其中該些選擇閘極填滿該些閘極結構之間的間隙。

3. 如申請專利範圍第1項所述之非揮發性記憶體結構，其中該電荷陷入層之材質包括氮化矽。

4. 如申請專利範圍第1項所述之非揮發性記憶體結構，其中該底介電層與該頂介電層之材質之材質包括氧化矽。

5. 如申請專利範圍第1項所述之非揮發性記憶體結構，其中該控制閘極及該選擇閘極之材質包括多晶矽。

6. 如申請專利範圍第1項所述之非揮發性記憶體結構，其中選擇閘極介電層之厚度包括160埃~170埃左



六、申請專利範圍

右。

7. 一種非揮發性記憶體結構，包括：

一閘極結構，該閘極結構由一基底起至少包括一底介電層、一電荷陷入層、一頂介電層、一控制閘極與一頂蓋層；

一選擇閘極，設置於該閘極結構之一側；

一間隙壁，設置於該閘極結構與該選擇閘極之間；

一選擇閘極介電層，設置於該選擇閘極與該基底之間；

一源極區，設置於該閘極結構不與該選擇閘極相鄰之一側的該基底中；以及

一汲極區，設置於該選擇閘極不與該閘極結構相鄰之一側的該基底中。

8. 如申請專利範圍第1項所述之非揮發性記憶體結構，其中該電荷陷入層之材質包括氮化矽。

9. 如申請專利範圍第1項所述之非揮發性記憶體結構，其中該底介電層之材質包括氧化矽。

10. 如申請專利範圍第1項所述之非揮發性記憶體結構，其中該頂介電層之材質包括氧化矽。

11. 一種非揮發性記憶體之製造方法，包括：

提供一基底；

於該基底上形成多數個閘極結構，各該些閘極結構由該基底起依序為一底介電層、一電荷陷入層、一頂介電層、一控制閘極與一頂蓋層；



六、申請專利範圍

於該些閘極結構之側壁形成多數個間隙壁；

於該基底上形成一選擇閘極介電層；

於各個該些閘極結構之一側形成多數個選擇閘極，使該些閘極結構串聯在一起，形成一記憶胞列；

於該記憶胞列兩側之該基底中形成一源極區/汲極區；以及

於該基底上形成與該汲極區電性連接之一位元線。

12. 如申請專利範圍第11項所述之非揮發性記憶體之製造方法，其中該些閘極結構之形成步驟包括：

於該基底上形成一第一介電層；

於該第一介電層上形成一電荷陷入材料層；

於該電荷陷入材料層上形成一第二介電層；

於該第二介電層上形成一第一導體層；

圖案化該第一導體層以形成該控制閘極；以及

圖案化該第二介電層、該電荷陷入材料層、該第一介電層以形成該頂介電層、該電荷陷入層與該底介電層。

13. 如申請專利範圍第11項所述之非揮發性記憶體之製造方法，其中該電荷陷入層之材質包括氮化矽。

14. 如申請專利範圍第11項所述之非揮發性記憶體之製造方法，其中於該基底上形成該選擇閘極介電層之方法包括熱氧化法。

15. 如申請專利範圍第11項所述之非揮發性記憶體之製造方法，其中於各個該些閘極結構之一側形成該些選



六、申請專利範圍

擇閘極，而使該些閘極結構串聯在一起，形成該記憶胞列之步驟包括：

於該基底上形成一第二導體層，該第二導體層填滿該些閘極結構間之間隙；以及

移除預定形成該記憶胞列之區域以外之該些閘極結構與部分該第二導體層。

16. 如申請專利範圍第11項所述之非揮發性記憶體之製造方法，其中於該記憶體列兩側之該基底中形成該源極區/汲極區之方法包括離子植入法。

17. 如申請專利範圍第11項所述之非揮發性記憶體之製造方法，其中該電荷陷入層之材質包括氮化矽。

18. 如申請專利範圍第11項所述之非揮發性記憶體之製造方法，其中該底介電層與該頂介電層之材質包括氧化矽。



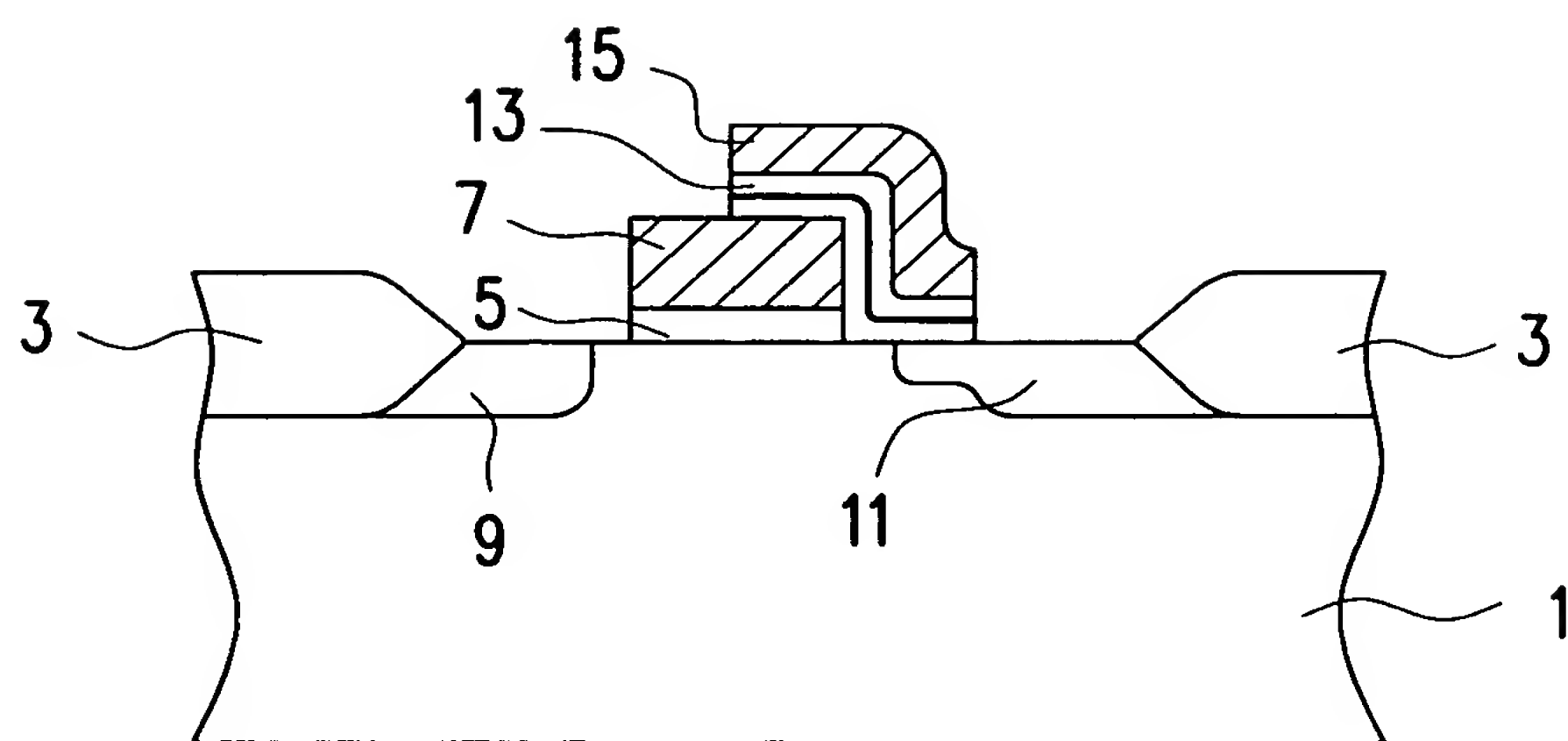


圖 1

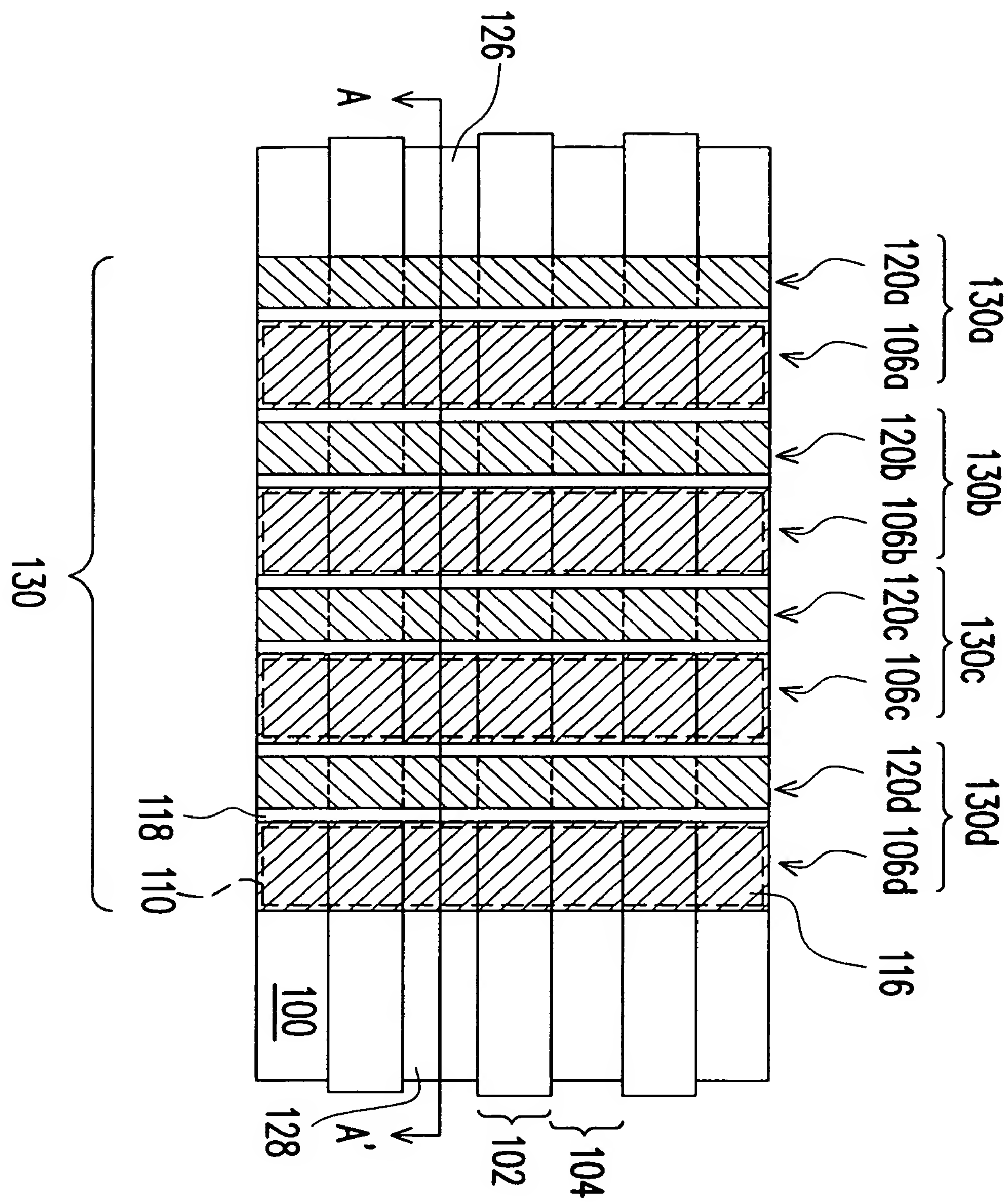


圖 2A

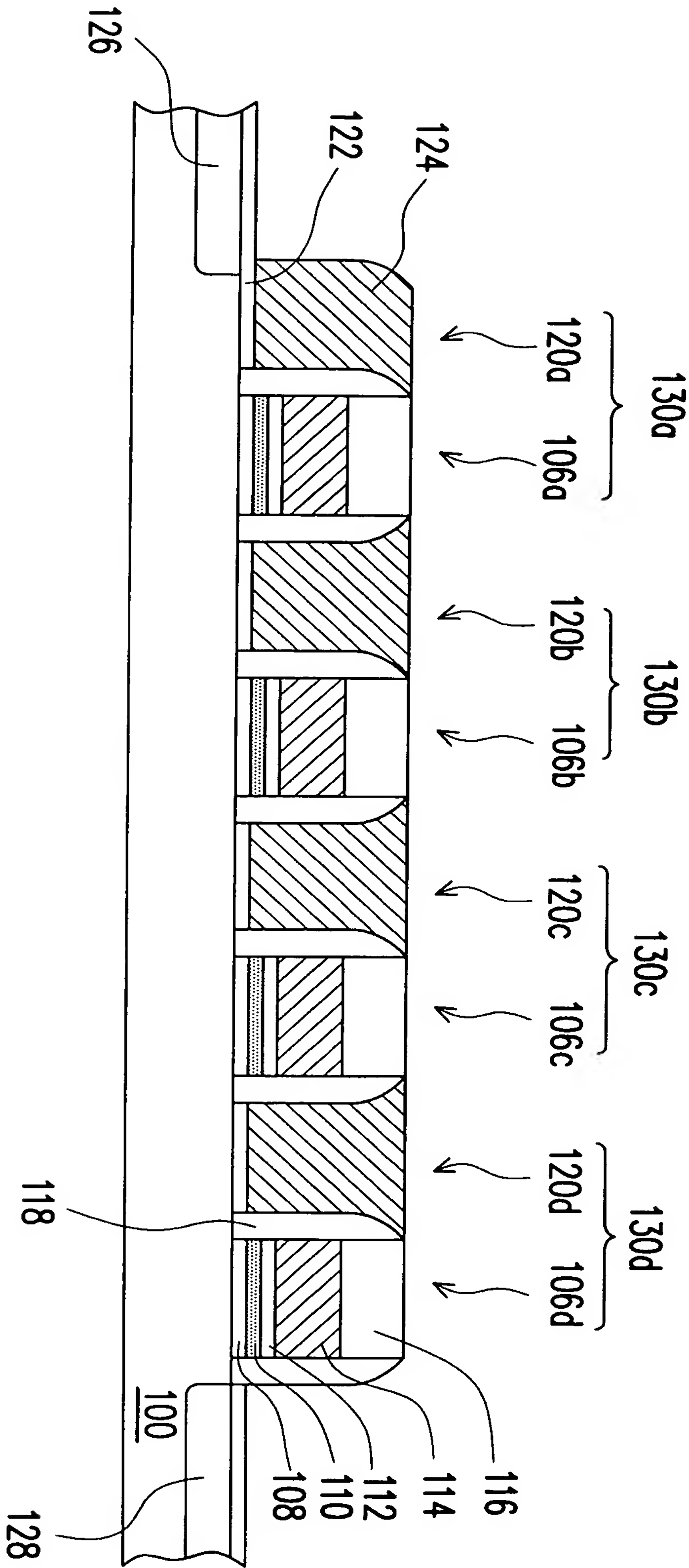


圖 2B

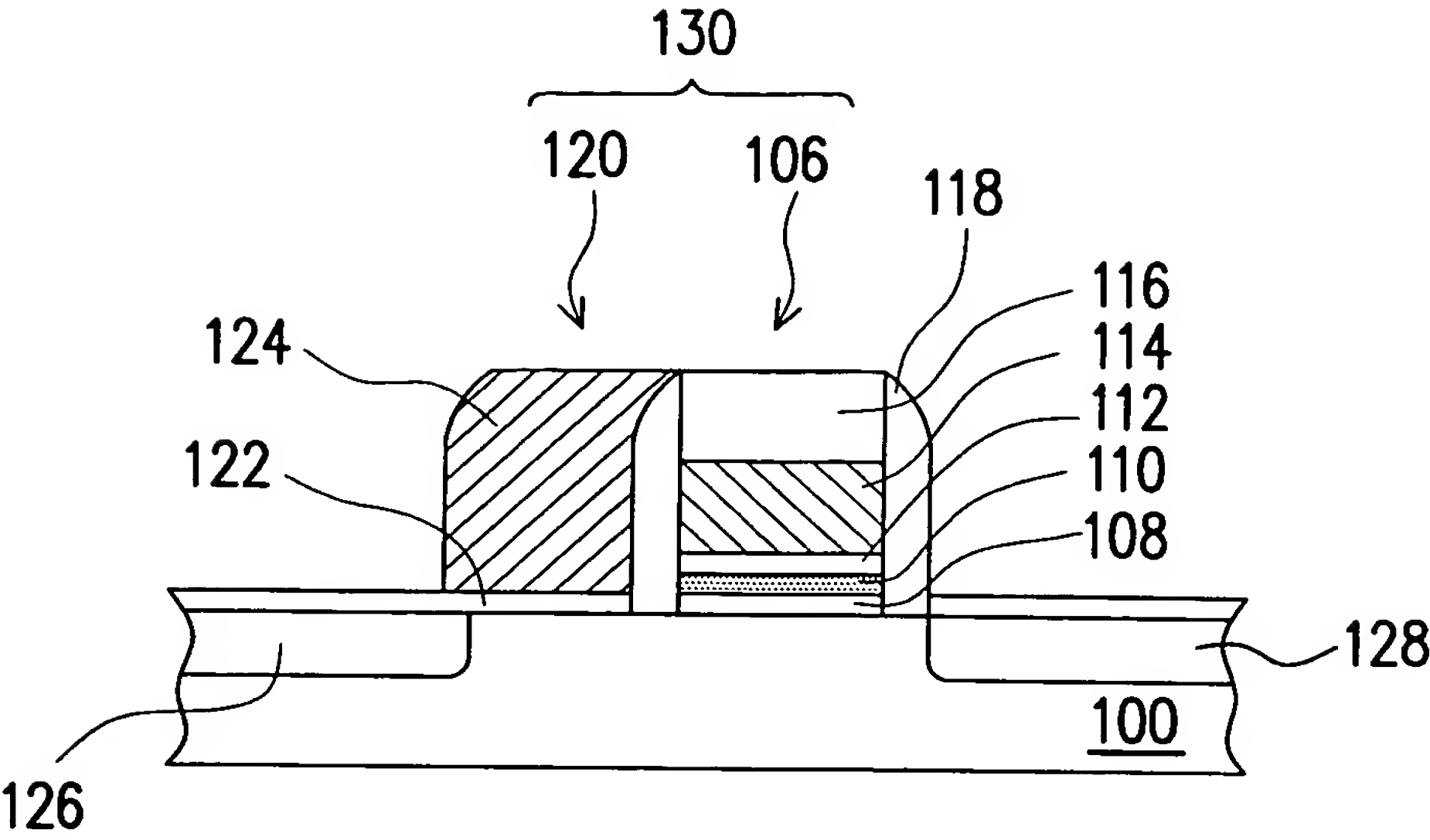


圖 2C

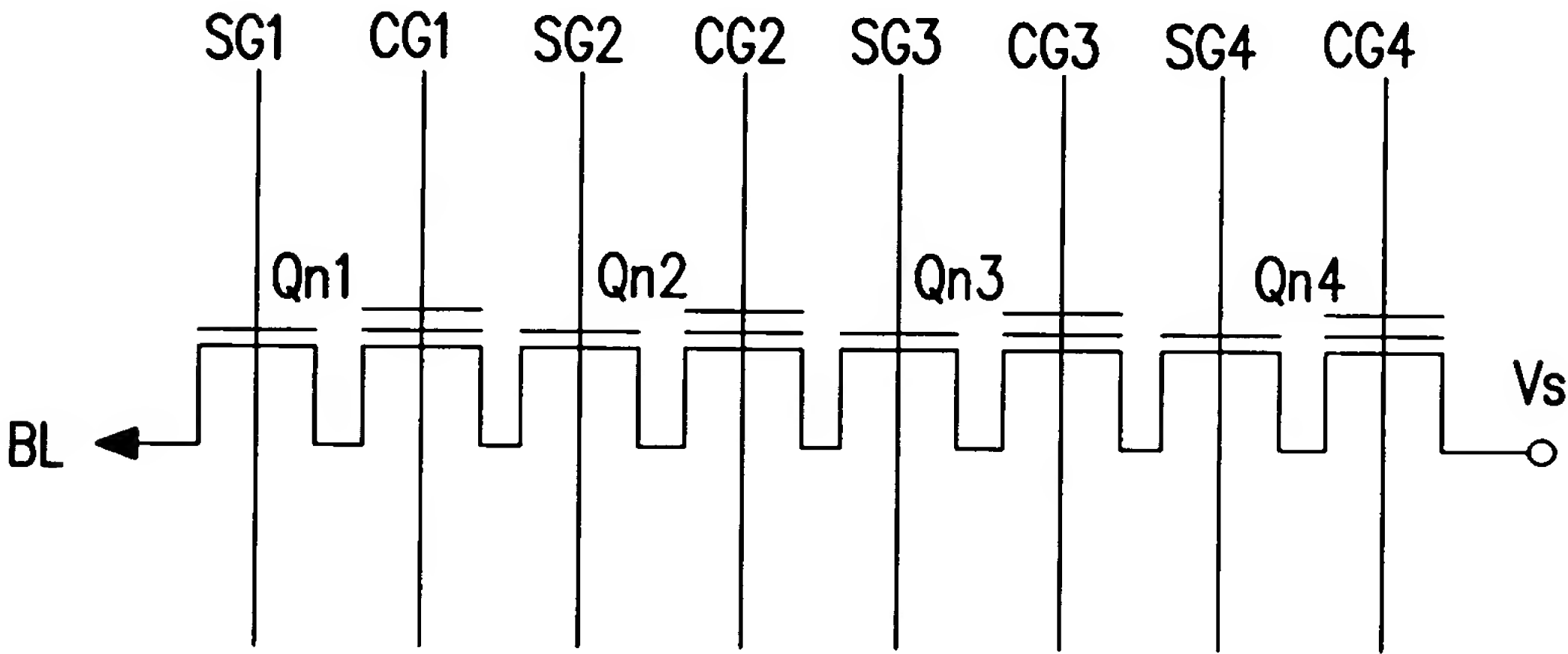


圖 3

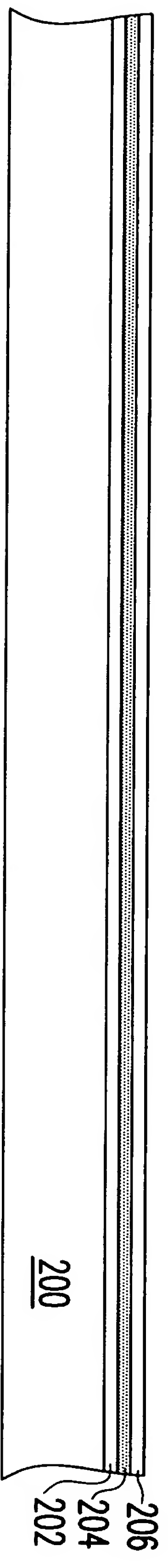


圖 4A

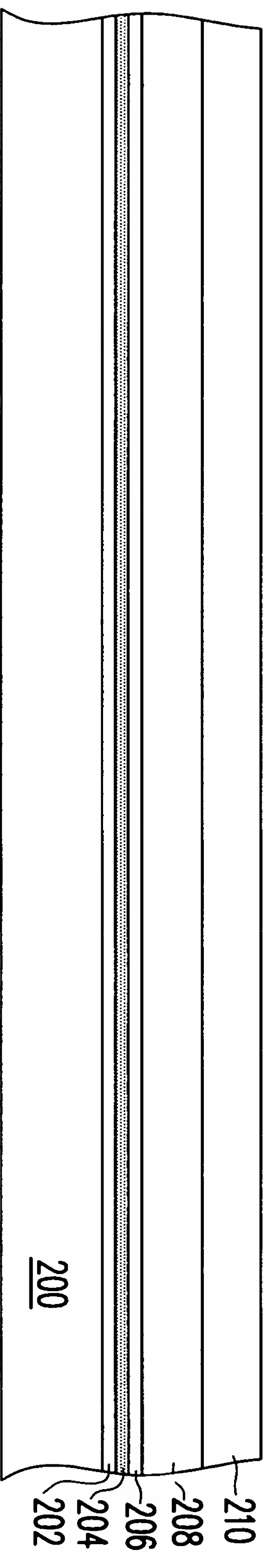


圖 4B

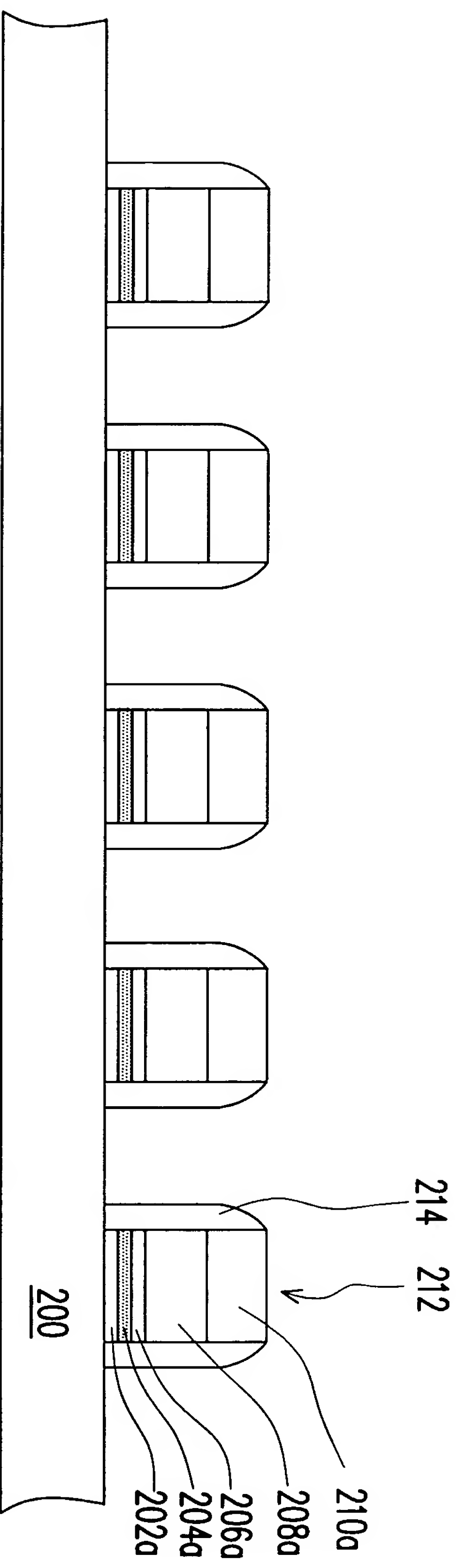


圖 4C

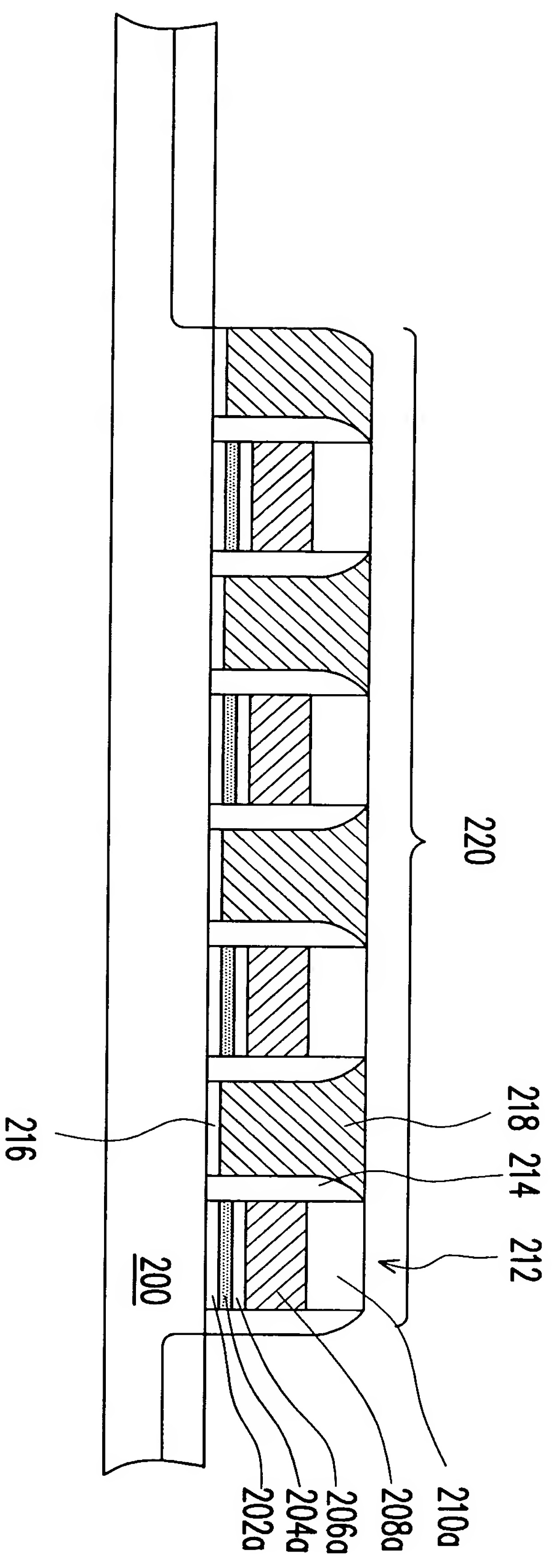


圖 4D

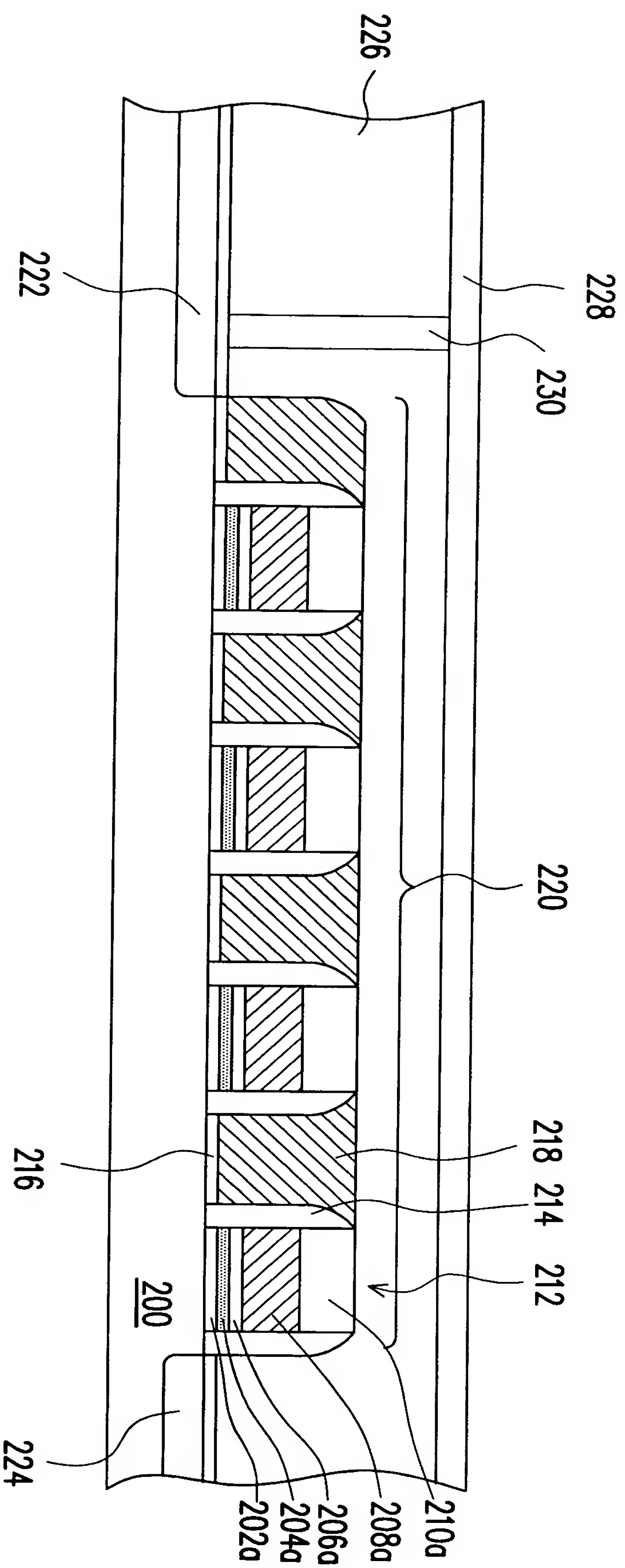


圖 4E

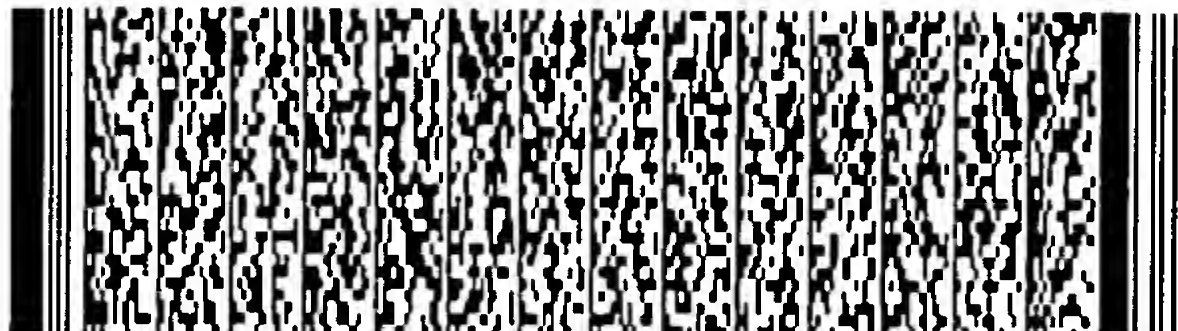
第 1/23 頁



第 1/23 頁



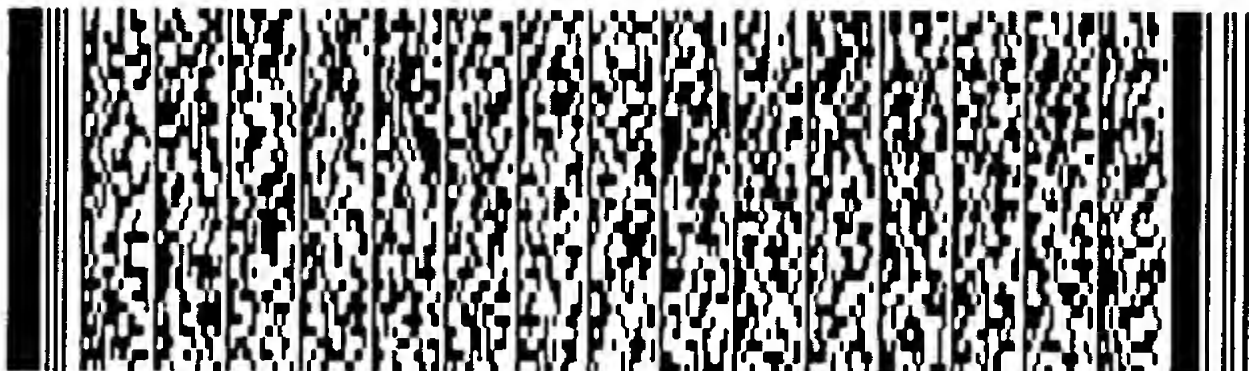
第 2/23 頁



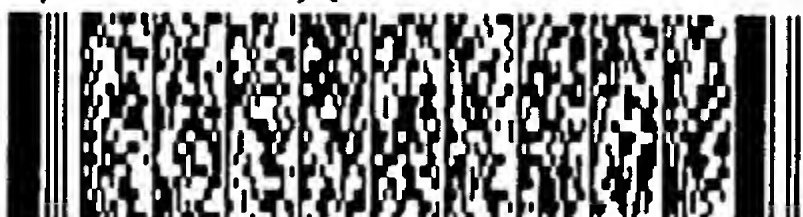
第 2/23 頁



第 3/23 頁



第 4/23 頁



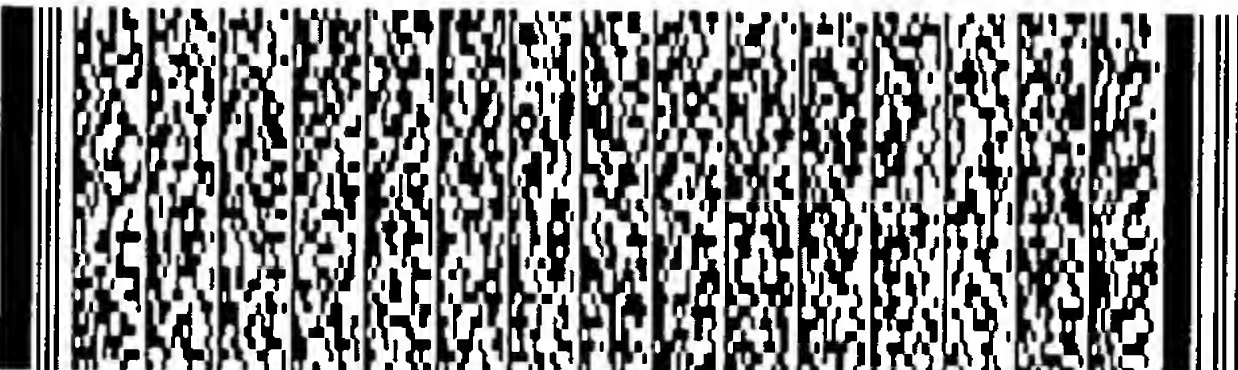
第 5/23 頁



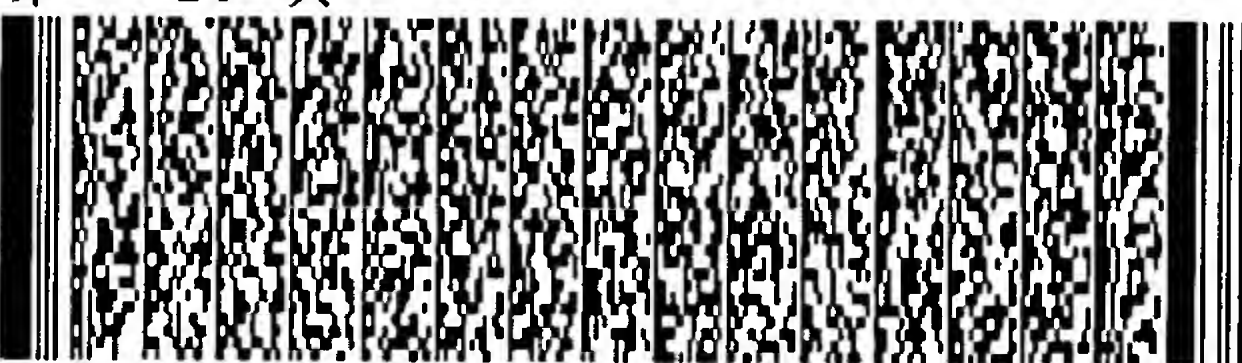
第 6/23 頁



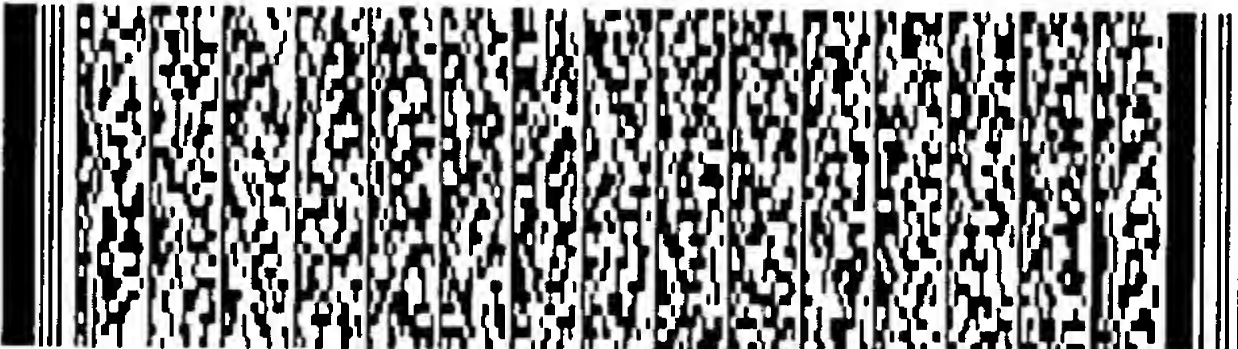
第 6/23 頁



第 7/23 頁



第 7/23 頁



第 8/23 頁



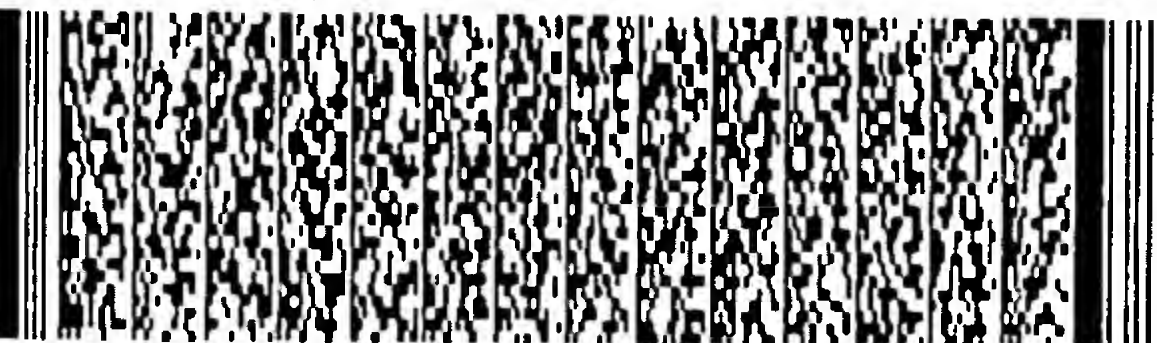
第 8/23 頁



第 9/23 頁



第 9/23 頁



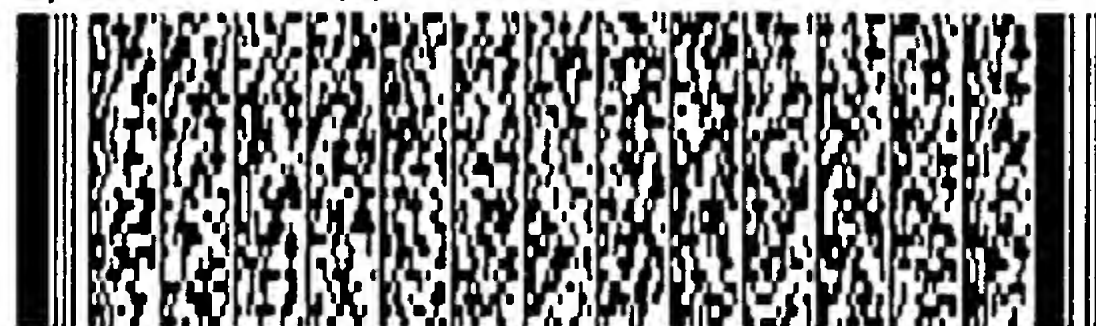
第 10/23 頁



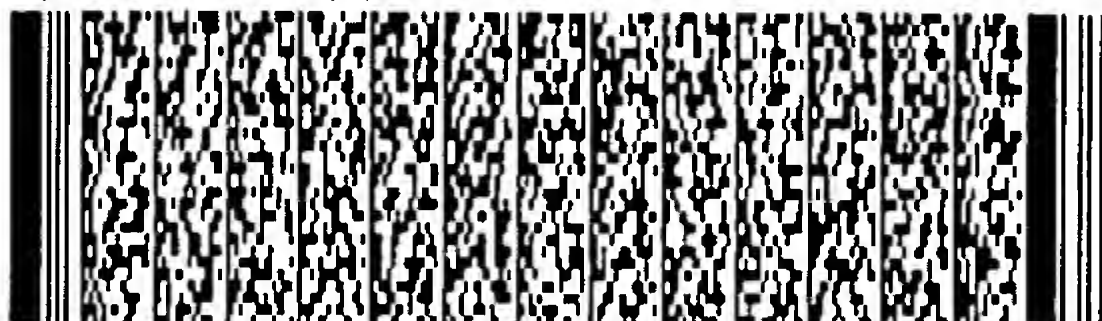
第 10/23 頁



第 11/23 頁



第 11/23 頁



第 12/23 頁



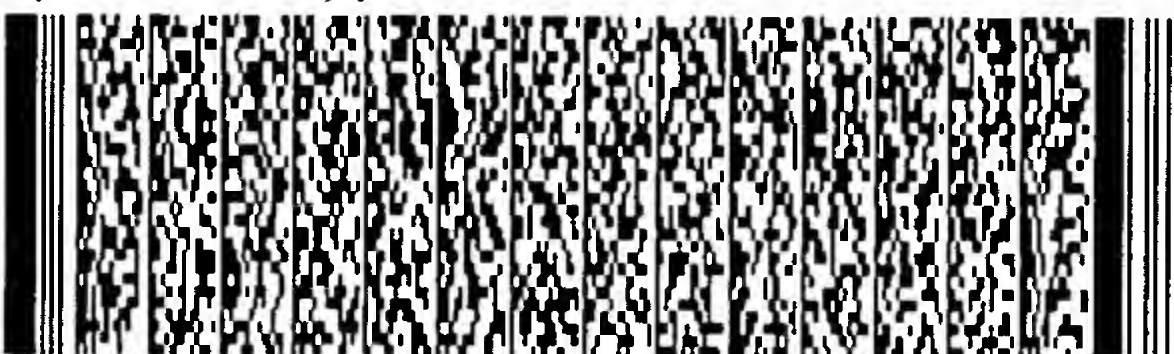
第 12/23 頁



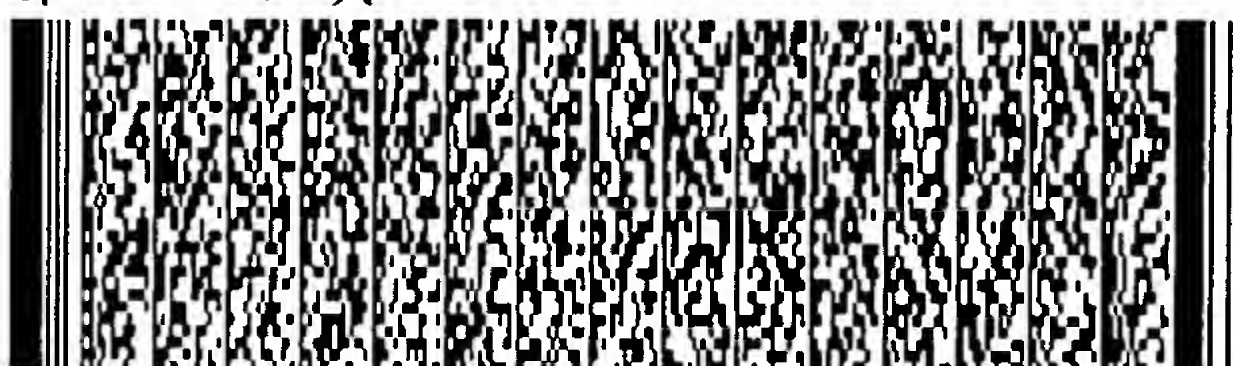
第 13/23 頁



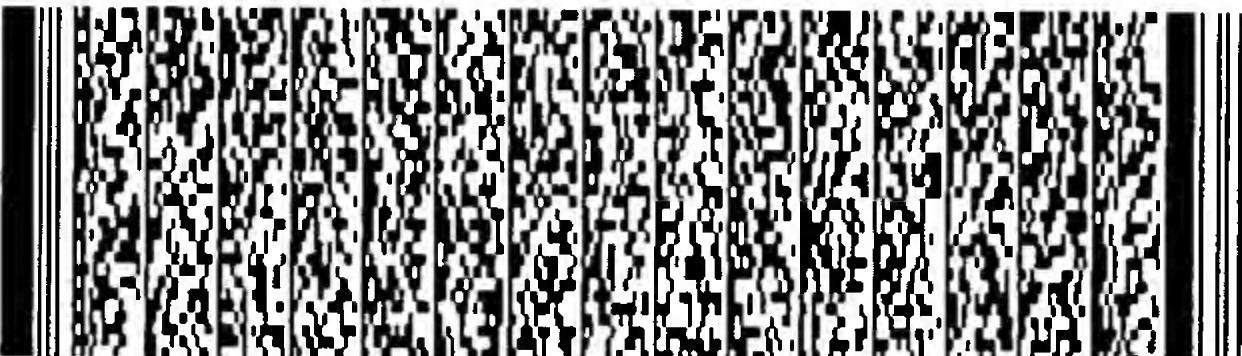
第 13/23 頁



第 14/23 頁



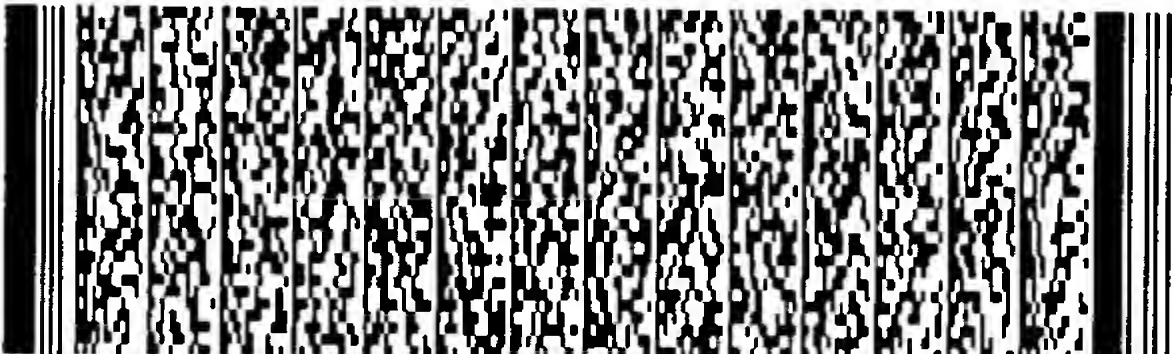
第 14/23 頁



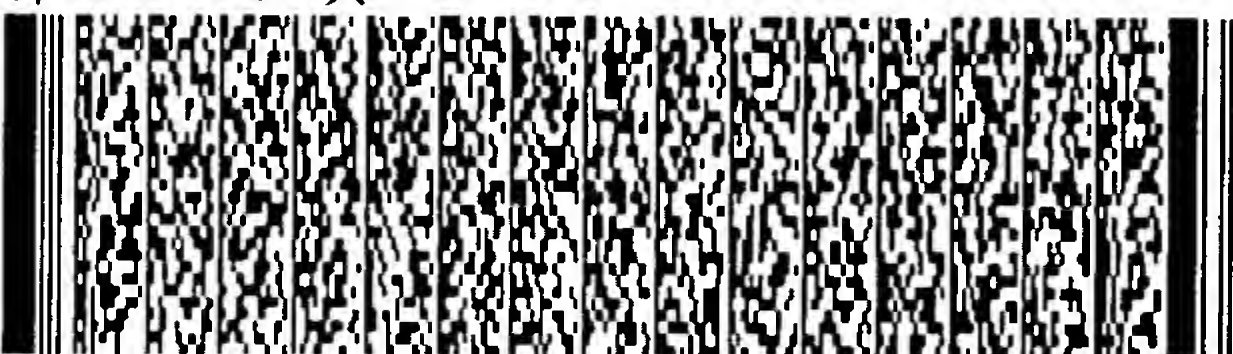
第 15/23 頁



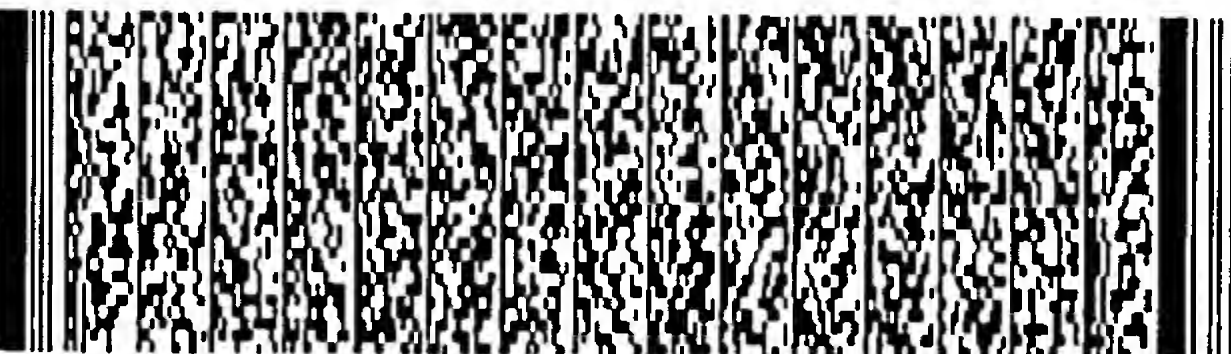
第 15/23 頁



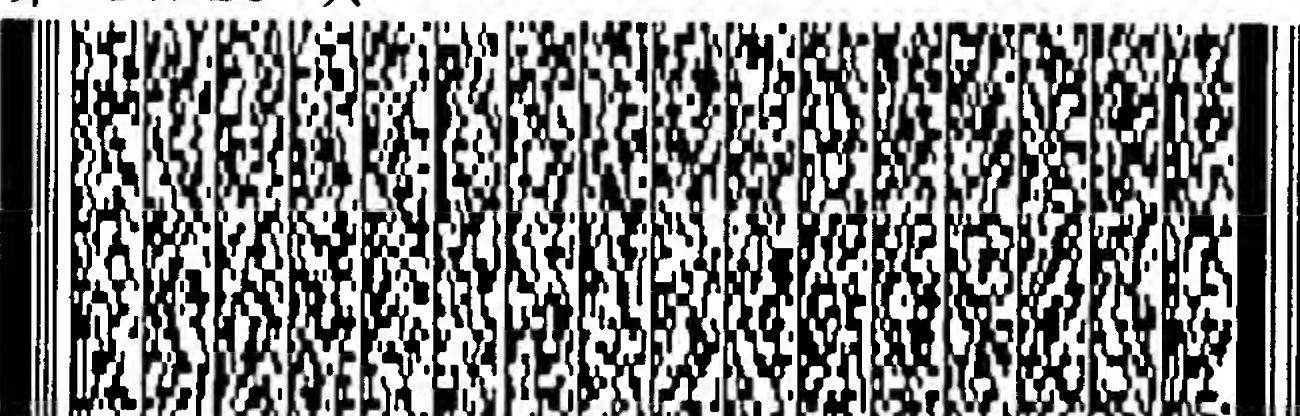
第 16/23 頁



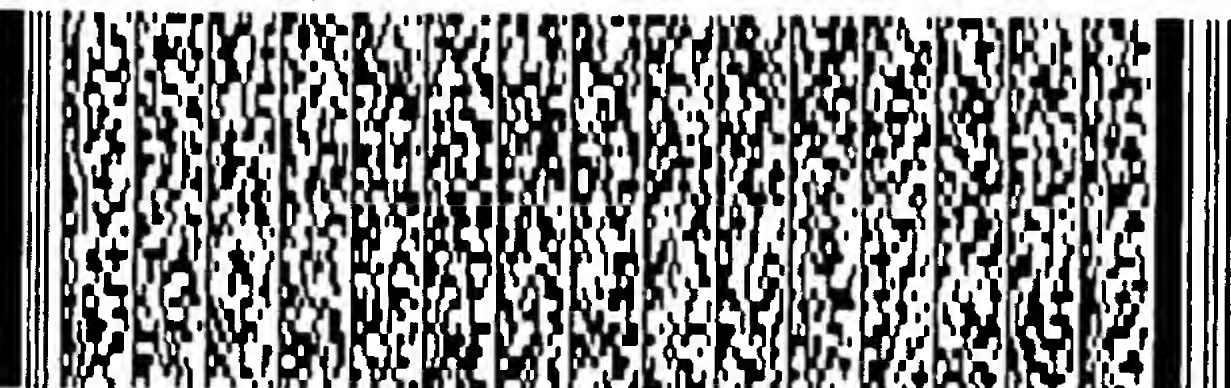
第 16/23 頁



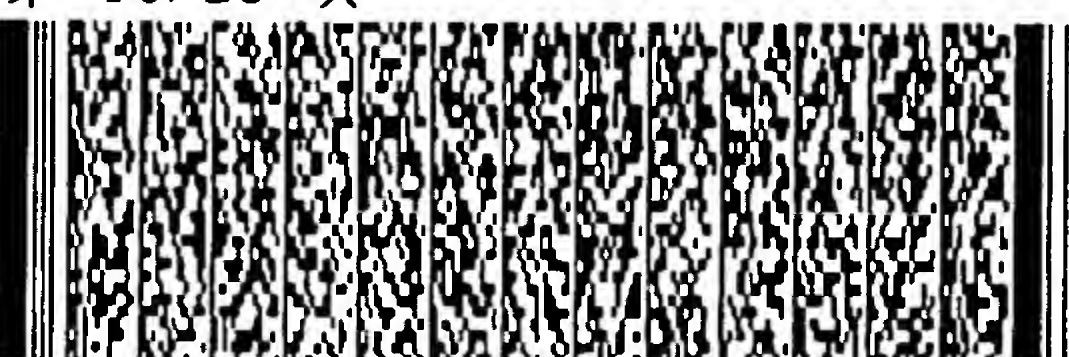
第 17/23 頁



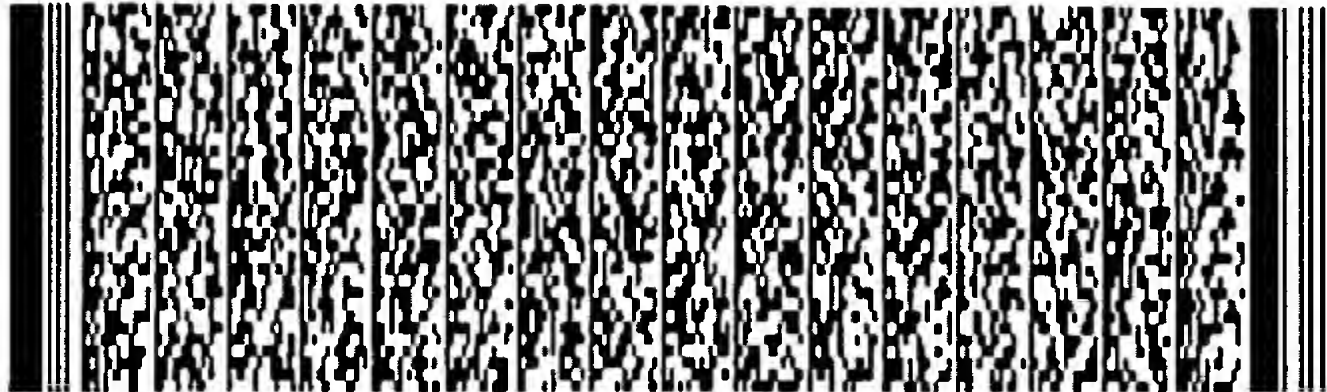
第 18/23 頁



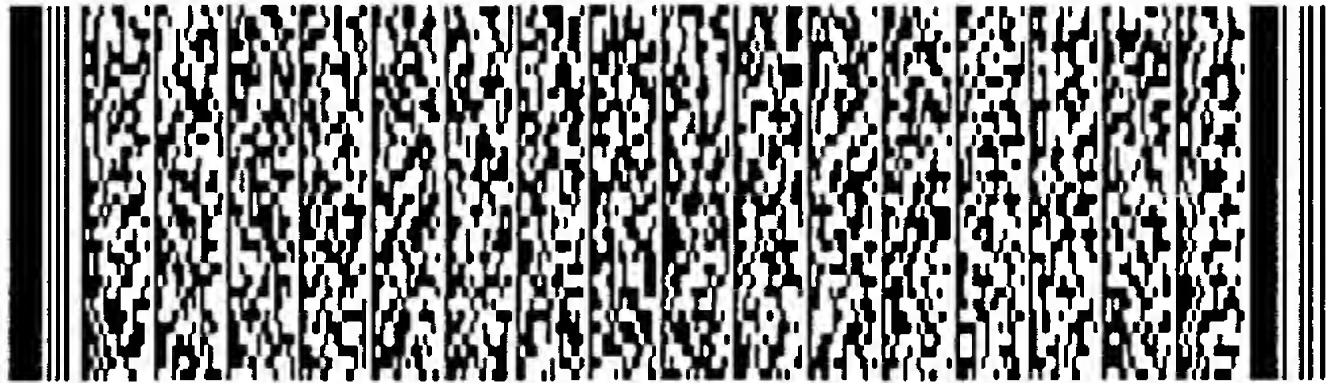
第 19/23 頁



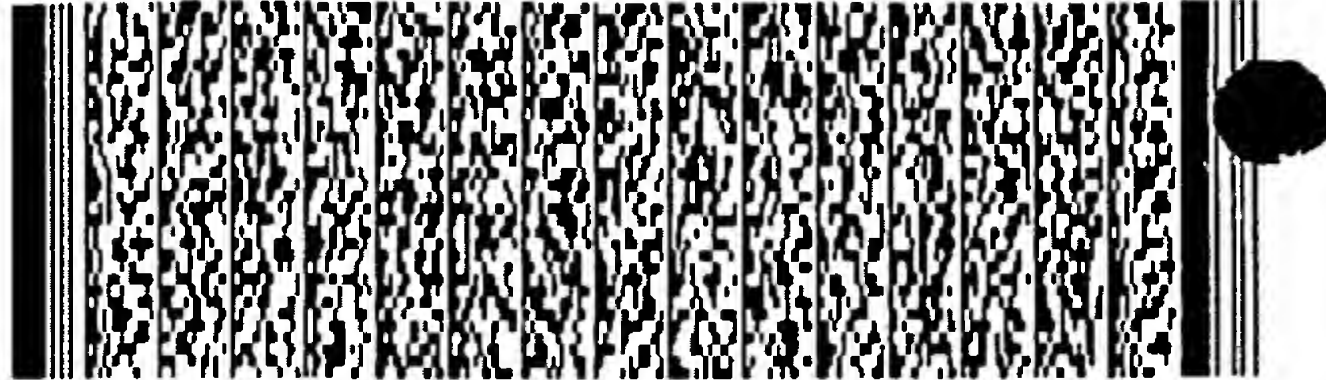
第 20/23 頁



第 22/23 頁



第 21/23 頁



第 23/23 頁

